

# 新・半導体戦略

～ 脳とコンピュータと集積回路の歴史とその展望から考える ～

東京大学 工学系研究科 教授

d.lab センター長

RaaS 理事長

黒田 忠広



# 米中技術覇権争い

- 2015年5月、中国政府は『中国製造2025』を発表。製造強国を目指し、次世代IT産業(5G、AI、量子コンピュータ等)に集中的に政府補助金を投入
- 中国では軍民融合戦略及び国家情報法を打ち出し、国内外から機微技術・データの吸い上げを実施
- 2017年12月、米国政府は「国家安全保障戦略」を発表。対中戦略において、米国は経済覇権、米国の価値観、安全保障の3つの挑戦に直面していると指摘
- 2018年8月、国防省に対し予算権限を与える2019年度国防授權法が成立。広範な機微技術管理の強化策が盛り込まれる
- 2020年4月、エマージング技術等に関しリスト規制の強化を進める一方、エンドユーザーに着目した規制の強化に着手し輸出管理規則の見直しを発表
- 2020年5月、ファーウェイ他が米国の技術やソフトウェアを用いた半導体製品等を、第三国からの再輸出により獲得することを防ぐ直接製品規則を変更
- 2020年5月、台湾TSMC工場のアリゾナ誘致
- 6月、半導体製造インセンティブ創出法案(CHIPS法案)を超党派が議会に提出

# 赤と青のサプライチェーン

ユーラシア・グループの9月レポート『半導体の地政学』

- 台湾と韓国が半導体先端技術のホットスポットになり地政学的リスクが生まれている
- 中国の戦略的弱点は半導体(Huawei)である
- 中国が巨額な半導体投資をしているが先頭集団に入るには10年を要する
- 米国の国防権限法に基づく中国5社への制裁措置で西側同盟国で中国排除
- 米国のTSMC誘致などでサプライチェーンに赤と青の色分け圧力が高まる
- 米中覇権争いが進むと台湾の地政学的重要性が高まる
- 中国が軍事行動に出る可能性は低いが、TSMCの国内工場の国有化、知財盗用、海外技術者の獲得などの可能性はある
- 中国国産技術の育成が進む
- 世界の半導体技術の分断
- 11月の大統領選挙の結果にかかわらず、ICT産業界にとって5兆ドルのリスクになる

# 微細化競争のホットスポット：台湾と韓国

Major industry players		Process node (nm)								
		✓ Currently producing in commercial volumes					✓ Under development/planned			
Country	Company	90	65	45/40	32/28	22/20	16/14	10/7	5	3
		✓	✓	✓	✓	✓	✓	✓	✓	✓
	<b>SAMSUNG</b>	✓	✓	✓	✓	✓	✓	✓	✓	✓
		✓	✓	✓	✓	✓	✓	✓*	✓	✓
		✓	✓	✓	✓	✓	✓	✓		
		✓	✓	✓	✓	✓	✓	✓		
		✓	✓	✓	✓	✓	✓	✓		
	<b>KIOXIA</b>	✓	✓	✓	✓	✓	✓			
	<b>UMC</b>	✓	✓	✓	✓	✓				
		✓	✓	✓	✓	✓				
		✓	✓	✓	✓					
		✓	✓	✓	✓					
		✓	✓	✓	✓					
		✓	✓	✓						

Process node (nm)	180	130	90	65	45/40	32/28	22/20	16/14	10/7	5	3
Number of semiconductor manufacturers working at each process node											
US	24	18	11	8	4	4	4	4	1	1	1
South Korea	4	4	3	2	2	2	2	2	2	1	1
Taiwan	9	9	6	6	6	6	5	3	1	1	1
Japan	18	10	7	6	5	1	1	1			
China	19	18	16	13	8	6	3	1	1		
Other	20	13	5	1	1	1	1				
Total	94	72	48	36	26	20	16	11	5	3	3

日本脱落

性能・コストで5倍の差がつく

# 社会の変化

---

## ■ 半導体の地政学的リスク

- 米中技術覇権の対立、半導体サプライチェーンの再構築
- ファウンドリの台・韓の地政学リスクの高まり
- ICT産業界にとって5兆ドルのリスクになる

## ■ ポストコロナのデジタル革新

- DX（5G・ビッグデータ・AI・IoT）の加速
- 半導体の微細化の限界（3D集積・実装時代の幕開け）

## ■ 深刻化するエネルギー制約

- ビッグデータ x AIでデータ処理量 & 電力消費急増  
（省エネ対策なければ、IT機器だけで、2030年に現在の総電力の2倍、2050年には200倍）
- エッジ処理の増加（エッジクラウド、データの地産地消）
- 産業の自動化・電動化による電力消費増大

# 社会のパラダイムシフト

Society    1.0    2.0    3.0    4.0    5.0  
狩猟社会    農耕社会    工業社会    情報社会    人間中心の社会

労働集約型  
(まじめにこつこつ)

資本集約型  
(大きいことは良いことだ)

知識集約型  
(皆で知恵を出し合う)

第一次産業  
(農林水産業)

第二次産業  
(ものづくり)

第三次産業  
(サービス)



工業立国  
(日本の強み)

大量規格生産・大量消費  
環境負荷増大、成長の限界  
人口減少(日本の弱み)  
格差



データ利活用・データ駆動型ビジネス

知価社会

知恵が価値を生み、個を活かす社会

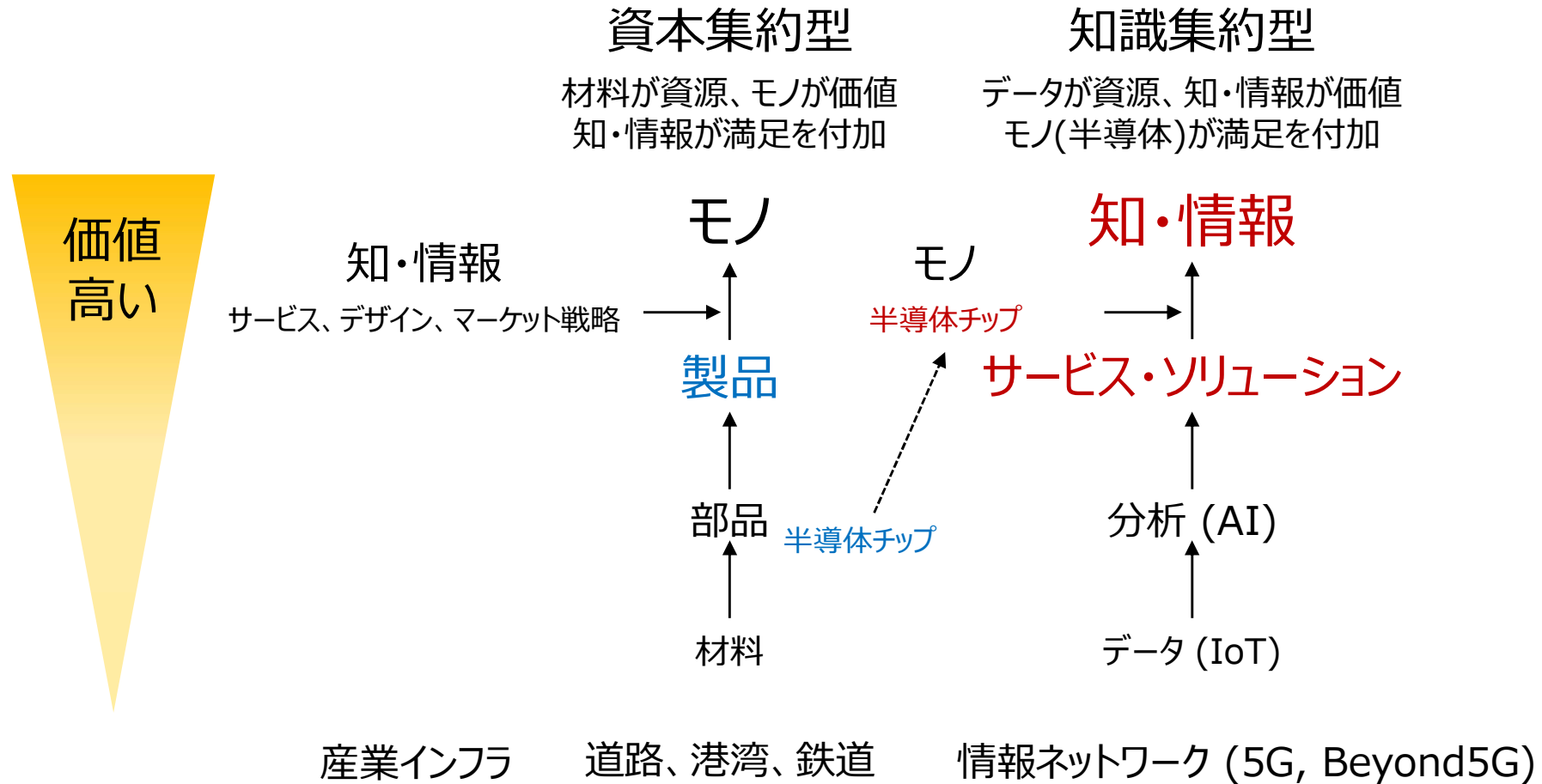
持続可能な成長

総活躍社会

インクルーシブ



# 産業の変化：価値づくりの主客転換



# 電機・電子産業のパラダイムシフト

---

## 1980年代

- コンピュータ事業
- 通信事業
- 重電事業
- 半導体事業(垂直統合)
  - 製造・工場
  - 設計
  - 自社用

## 現代

- IT・社会事業・サービス事業
- インダストリー・インフラ事業
- エネルギー事業
- 半導体事業分離(国際水平分業)
  - ファウンドリー(TSMC…)
  - 設計会社(MediaTek, Qualcomm…)
  - GAFA, Samsung, Huawei



# 半導体摩擦の歴史とd.lab・RaaSの役割

- 「超エル・エス・アイ技術研究組合」発足（1976年）
- SIA（米半導体工業会）発足（1977年）
- 日米半導体摩擦（1980年代）
- **VLSIシンポジウム創設（1981年）、学術と人材の交流**
- SIAが通商法301条を基に日本の半導体業界をUSTRに提訴（1985年）
- 日米半導体協定（1986年～1996年）
  - ①日本の半導体市場を海外の半導体メーカーに広く開放する（20%以上）
  - ②日本の半導体メーカーによるダンピングを防ぐ
- 日本市場に占める外国製半導体のシェアが20%を超える（1992年）
- 日本半導体の凋落（1990年代～）
- 米中技術覇権争い（2020年代）
- 「システムデザイン研究センター(d.lab)」発足（2019年）
- 「先端システム技術研究組合(RaaS)」発足（2020年）
- **d.labとRaaSは半導体技術を国際公共財にすることを目指す**

# d.lab設立 (19/10/1)

<http://dlab.t.u-tokyo.ac.jp>

When (いつ)	digital inclusion (Society5.0) の時代に
Where (どこで)	dormitory (目白台インターナショナルビレッジ) で
Who (だれが)	data駆動型サービスのアイデアを有する者が
What (なにを)	domain-specificなシステムのdesignを研究
Why (なぜ)	ゲームチェンジが起こるから、大学も機能拡張
How (どのように)	ソフトウェアからdeviceまで一気通貫して

社会 :	Society 4.0	→	Society 5.0
経済 :	資本集約型	→	知識集約型
産業 :	製造業	→	サービス業
半導体 :	2D	→	3D

知識集約型社会での半導体戦略を考えるのがd.labのミッション

# 大学の機能拡張

---

- 大学は運営体から経営体に
- 無形の価値(知的資産)をその社会的意義にふさわしい経営資源にする
- プロジェクトファイナンス型からコーポレートファイナンス型へ進化
- 社会変革へ先行投資する財源として東大は大学債を発行(40年債で200億円)
- 社会的価値創出を促進する世界的な動き  
フランス政府は2019年に新法を制定し、利益以外の目標を達成する責任を負う「使命を果たす会社」を新たな会社形態に取り入れた。  
食品大手ダノン(株)が上場企業で第一号に。会社像は「サーブ・ライフ(生命に尽くす)、まず自然があり、経済を回すときの中心は、お金ではなく人間。」
- 組織と組織による東大の「産学協創」  
中西宏明会長「日立東大ラボでは、社会課題の解決にどう取り組むのか、テーマのディスカッションから始める。我々からすると、それが事業目標になっていく。これは大いに期待している。」第6回未来投資会議(2017.3.24)

# d.lab開所記念講演会 (19/11/11)



文部科学省 研究振興局長  
村田 善則 氏



経済産業省 商務情報政策局長  
西山 圭太 氏



東京大学 伊藤国際ホール

# 中西経団連会長のコメント

---

- 「5G以降は、従来の4Gとかなり様子が違って、エッジ側と我々は言っているけれども、端末の接続の仕組みのところのバラエティー、そこに先ほど五神先生にもお話しいただいたが、かなりの機能を詰め込んだ、新しい分散型アーキテクチャーの創造という新たな戦いがまさに始まるという捉え方をすべきだと思う。そういう意味では、**スマホだけではなくて、機械をつないでいくためのさまざまな仕掛け、技術開発を産官学の力を合わせてやると、日本は大きなチャンスがあるのではないか**という見方をしているので、**五神先生のところとも呼吸を合わせて、さらに経産省も同じ考えを持ってもらえるようなので、しっかりやっていきたい**と思っている。」 第32回未来投資会議(2019.10.29)



# 東大×TSMC 戦略的提携 (19/11/27)



2019年11月27日  
国立大学法人東京大学

## 東京大学・TSMC 先進半導体アライアンスについて

国立大学法人東京大学（総長：五神 真）と台湾 Semiconductor Manufacturing Company (TSMC)（台湾・新竹市、チェアマン：Mark Liu）は、知識集約型社会を支えるデータ駆動型システムのデザインと製造を追求するため、半導体技術の共同研究を世界に先駆けて全学・全社レベルで行うことになり、本件に関する合同記者発表会を11月27日に実施いたしました。本アライアンスにより、東京大学大学院工学系研究科附属システムデザイン研究センター（略称ディーラボ、以下 d.lab と表記）（注1）において産学連携で設計したチップを TSMC の先進プロセスで試作するとともに、未来のコンピュータに求められる半導体技術を共同で研究します。d.lab がデザインのハブ（注2）となり、本提携がデザインと製造のゲートウェイ（注3）となります。

東京大学は、そのための準備として10月1日に d.lab を開設しました。デジタル技術で一人一人が輝く時代（digital inclusion）に、データ（data）を起点にソフトからデバイス（device）まで一貫して、領域特化型（domain specific）のシステムをデザイン（design）する研究体制を整えました。さらに、d.lab のチップ設計の工程に TSMC のオープン・イノベーション・プラットフォーム®Virtual Design Environment (VDE) を構築しています。一方、TSMC は、複数のプロジェクトを1枚のウェハーにまとめた CyberShuttle®試作サービスを東京大学に提供し、d.lab のチップ試作を先進プロセスで行います。

# 半導体開発のゲームチェンジ

東京大学が半導体の受託生産の世界最大手、台湾積体回路製造（TSMC）と半導体技術の共同研究で提携した。データ社会に欠かせない半導体の設計、試作を手掛ける。東大で提携を率いるシステムデザイン研究センター長の黒田忠広教授は「**半導体を巡ってゲームチェンジが起きている。日本は今ならまだ戦える**」と力説する。

私が20年在籍した慶応義塾大学で学んだ一番大きな教訓は福沢諭吉が使った言葉だ。「学者は国の奴隷（どがん）なり」。雁の群れのなか首を高く揚げて周囲を警戒する奴隷のように、デジタル社会の将来を見据えて現状を冷静に判断してみたい。

あらゆるモノがネットにつながるIoTで大量のデータを簡単に集められるようになり、人工知能（AI）の発展もめざましい。ただ、エッジ（端末）もクラウドもコンピューターのエネルギー消費が大きな問題で進化の律速となる。

米フェイスブックも米グーグルも自前で半導体を作ろうとしている。**コンピューティングで勝てないと、デジタルサービスの競争で勝てないと考えるからだ。データ社会の「電力危機」を乗り越えるには、無駄が多く消費電力の大きい汎用チップではなく、用途を特化した専用チップを使わなければならない。うまく設計できれば、エネルギー効率は10倍にもなる。**

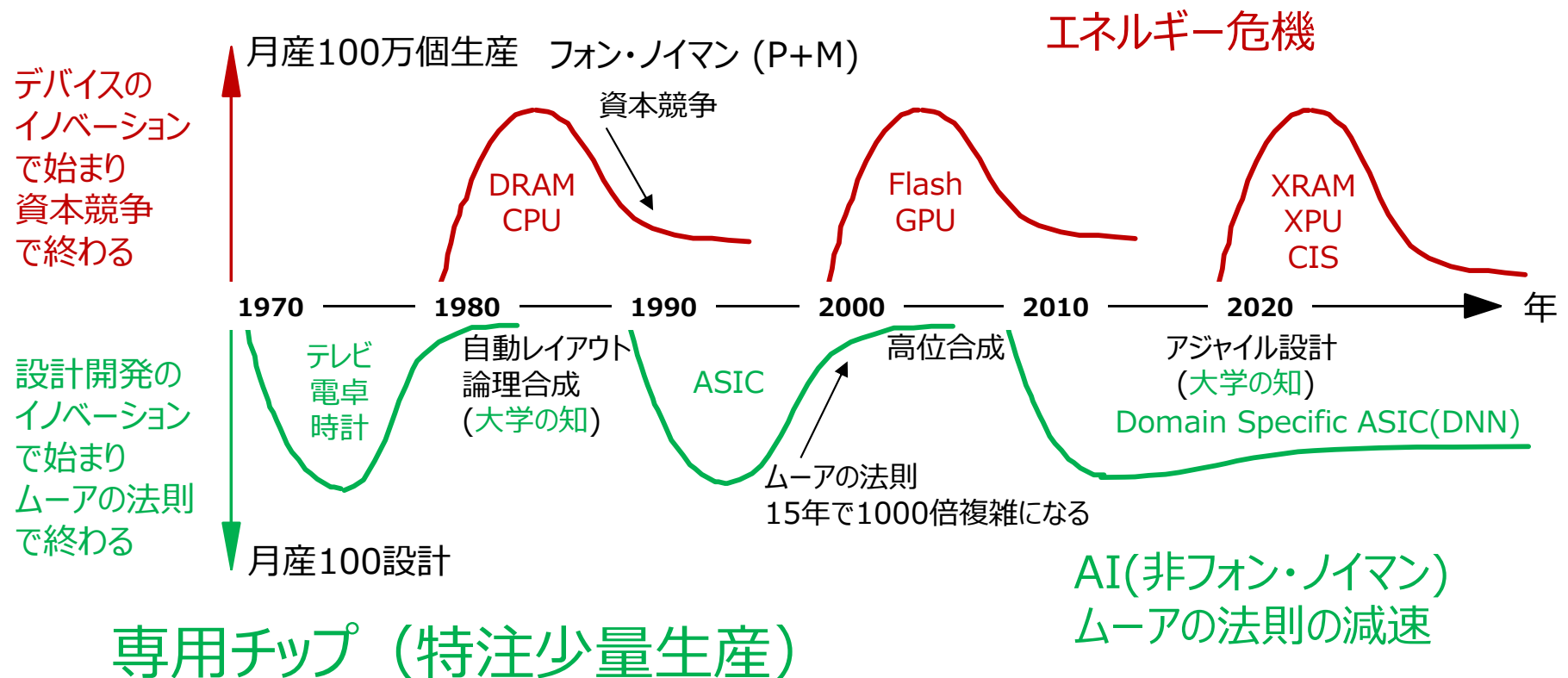
日本企業の半導体事業からの相次ぐ撤退は、**汎用チップを前提としたゲームの終わりを意味する。新しいゲームは専用チップだ。**日本がクラウド向けで戦うのは難しいが、エッジ向けではまだ戦える。**エネルギー効率を10倍高めた者だけが電池を10分の1にでき、スマートフォンが進化したエッジとなるパーソナルデバイスを制覇できる。**

東大とTSMCとの共同研究には今後、日本企業もいくつか加わってもらおう。いいサービスのネタもデータも技術もあるのに半導体だけがない。そんな最悪な事態は避けなければならない。（日経新聞2020年1月10日）

# 汎用チップから専用チップへ

- データ社会のエネルギー危機で専用チップ(マス・カスタム生産)の時代が到来
- 専用の時代には設計開発のイノベーションが求められ大学の役割が大きい

## 汎用チップ（規格大量生産）



出典：T. Kuroda, ISSCC 2010 Panel Discussion, "Semiconductor Industry in 2025".



# RaaS設立 (20/8/17)



TOPPAN

Panasonic

HITACHI  
Inspire the Next

MIRISE  
TECHNOLOGIES

2020年8月17日

先端システム技術研究組合

国立大学法人東京大学

凸版印刷株式会社

パナソニック株式会社

株式会社日立製作所

株式会社ミライズテクノロジーズ

データ駆動型社会の実現に向け  
先端システム技術研究組合（略称ラース）設立

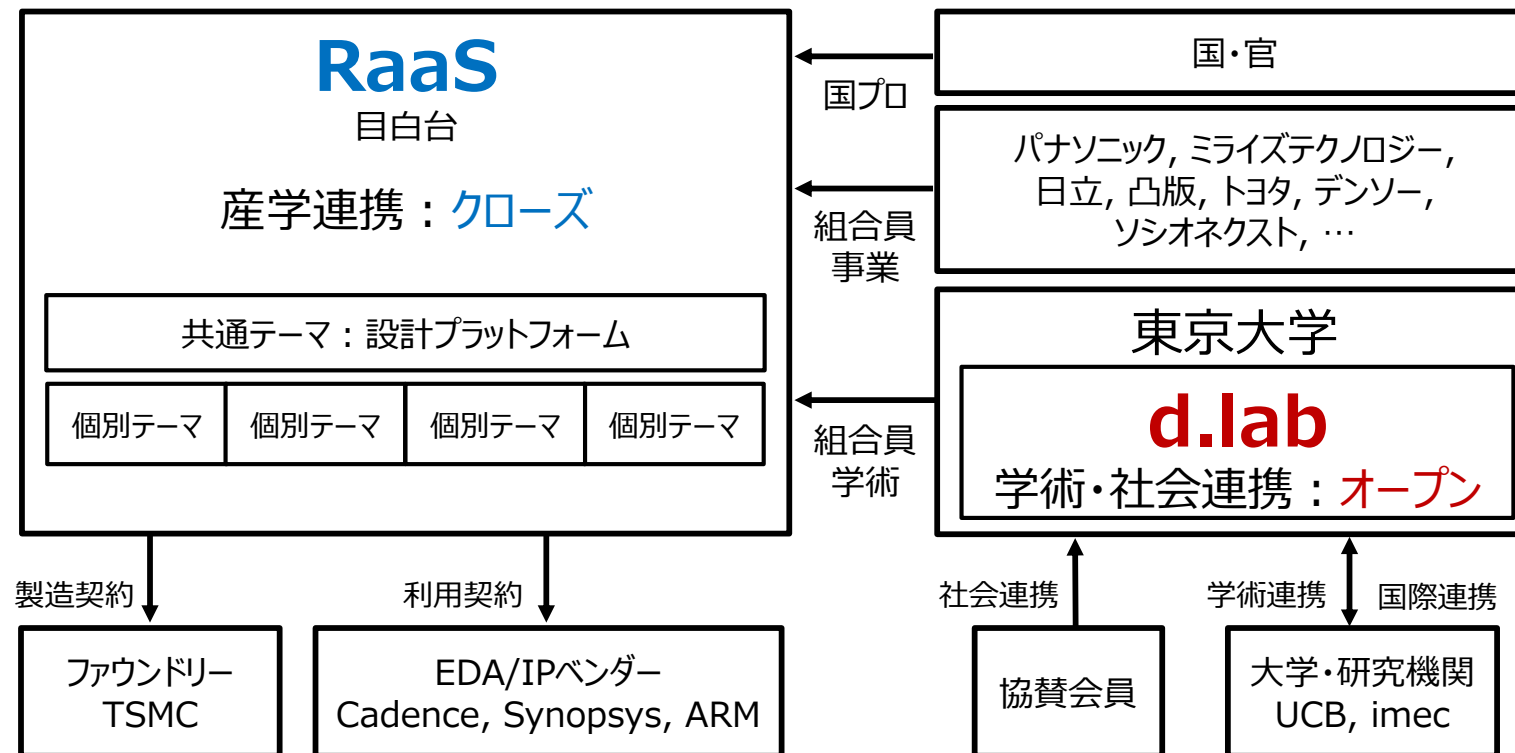
## 【概要】

国立大学法人東京大学（以下 東京大学）、凸版印刷株式会社（以下 凸版印刷）、パナソニック株式会社（以下 パナソニック）、株式会社日立製作所（以下 日立製作所）、株式会社ミライズテクノロジーズ（以下 ミライズテクノロジーズ）は、2020年8月17日に、「先端システム技術研究組合（略称ラース、以下 RaaSと表記（注1））」（理事長 黒田 忠広 東京大学大学院工学系研究科附属システムデザイン研究センター長 教授）を設立します。

RaaSは、データ駆動型社会を支えるシステムに必要な専用チップ（注2）のデザインプラットフォームを構築し、オープンアーキテクチャ（注3）を展開することで、専用チップの開発効率を10倍高めます。さらに、3次元集積技術を研究開発し、最新の7nm CMOS（注4）で製造したチップを同一パッケージ内に積層実装することで、エネルギー効率を10倍高めます。

先端システム技術研究組合  
（Research Association for  
Advanced Systems）  
略称RaaS（ラース）は、  
最先端の半導体技術を誰でも活用  
できるようにサービスとして提供  
（Research as a Service）

# d.labとRaaS



<http://www.dlab.t.u-tokyo.ac.jp/>  
<https://raas-cip.org>

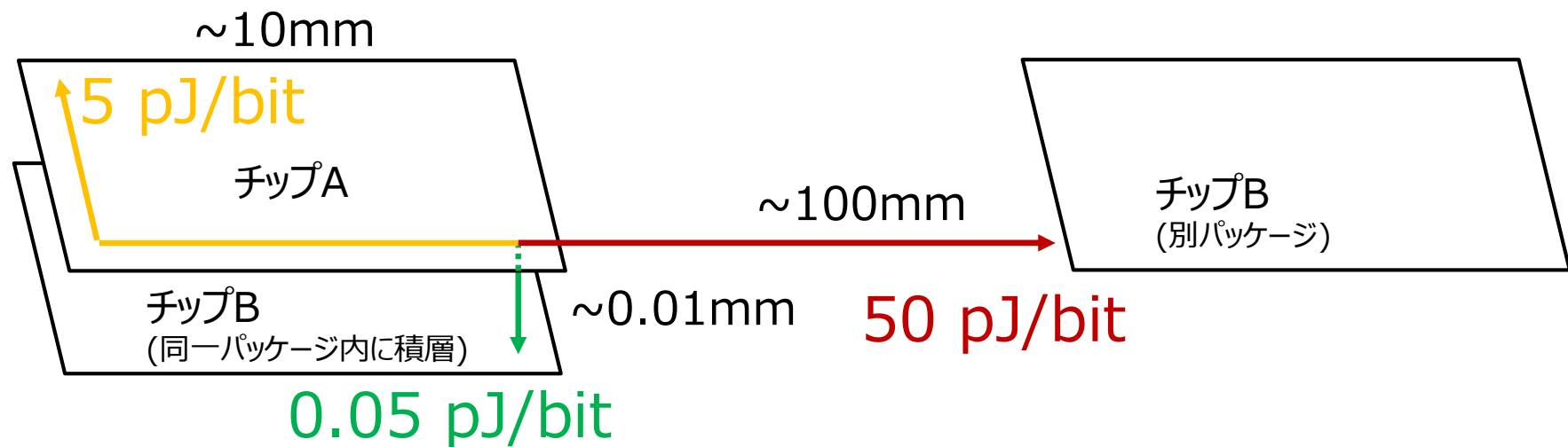
# 技術目標

---

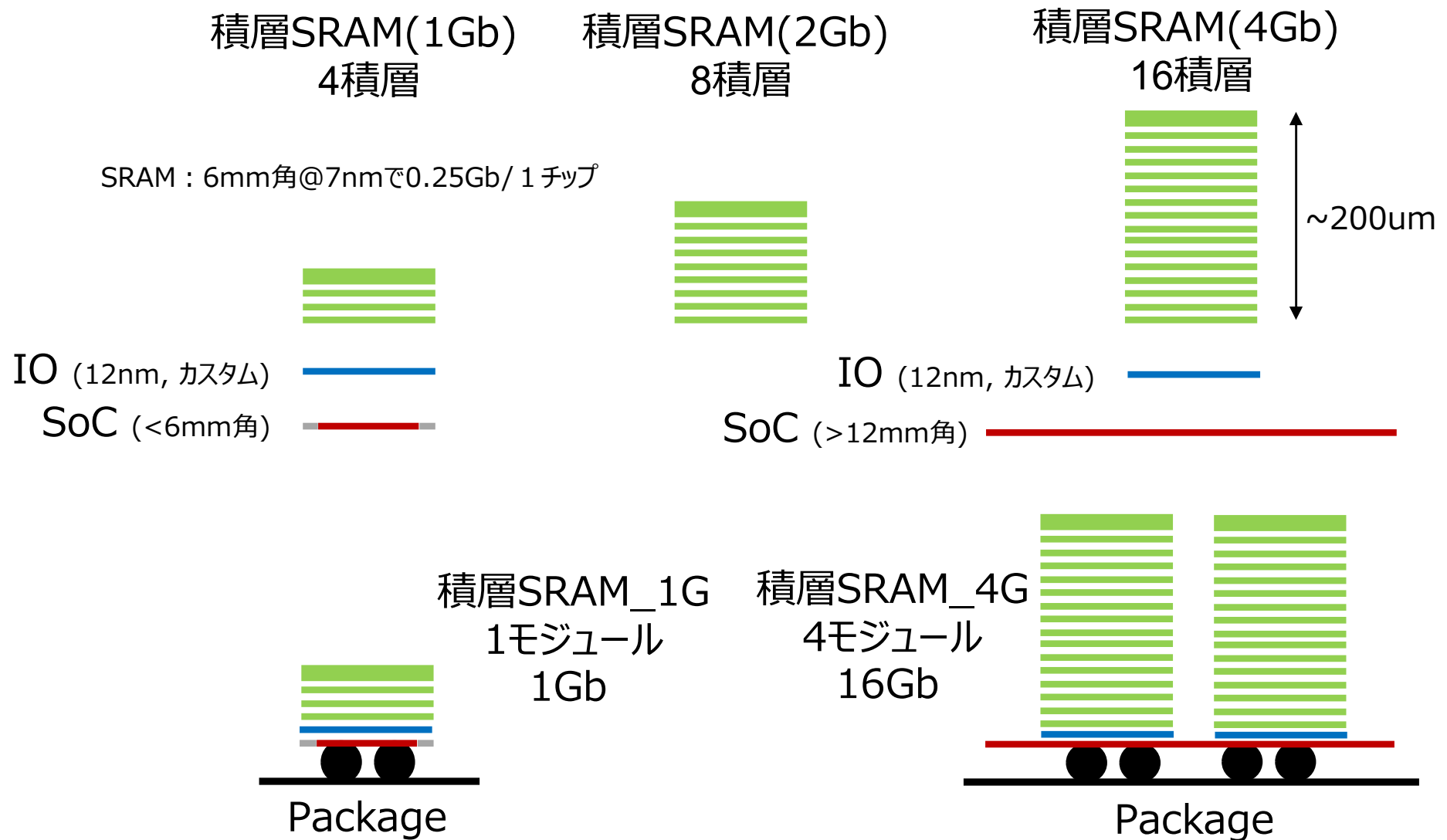
- 目標は半導体のタイムパフォーマンスの改善、具体的には、  
開発効率10倍（設計）かつエネルギー効率10倍（テクノロジー）
- 開発効率を高めるために、アジャイル設計プラットフォームを創出し、  
オープンアーキテクチャを展開
- エネルギー効率を高めるために、チップを先端CMOSで製造し、3次元集積
- チップユーザーがソフトウェアを書くように専用チップを作り、  
デジタルトランスフォーメーション(DX)を実現することができる
- 価値：シリコン技術の民主化とDXの実現  
(democratize access to silicon technology)
- 目標：アジャイル開発 (agile authentic prototyping)
- イノベーション：シリコンコンパイラー (design chips as writing software)

# エネルギー効率10倍：3D集積

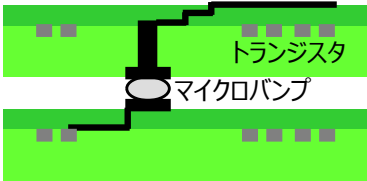
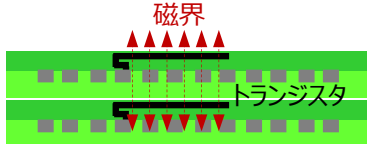
- 積層された上下チップ間( $\sim 10\mu\text{m}$ )のデータ転送に必要なエネルギーは非常に小さく、従来のボード上のチップ間データ転送( $\sim 100\text{mm}$ )に比べて1/1000、チップ上のデータ移動( $\sim 10\text{mm}$ )に比べて1/100
- 3D集積でデータの移動距離を短くしエネルギー効率を大幅に改善



# 積層SRAMとSoCの積層

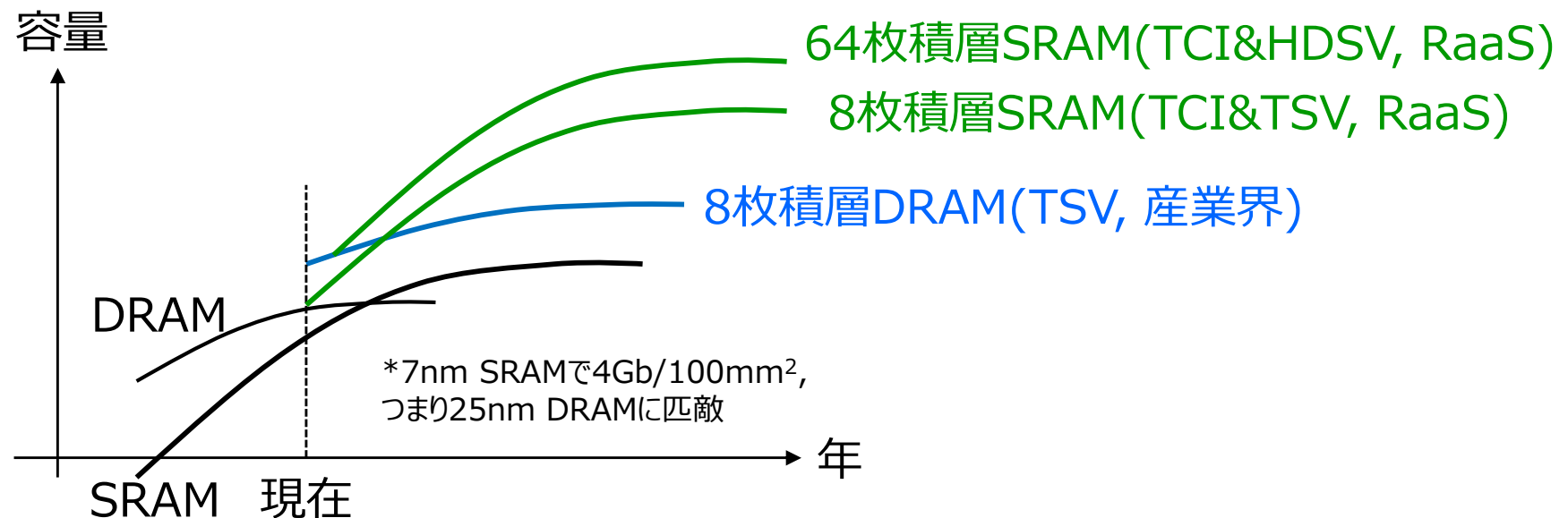


# TCIはTSVより低コスト・高性能

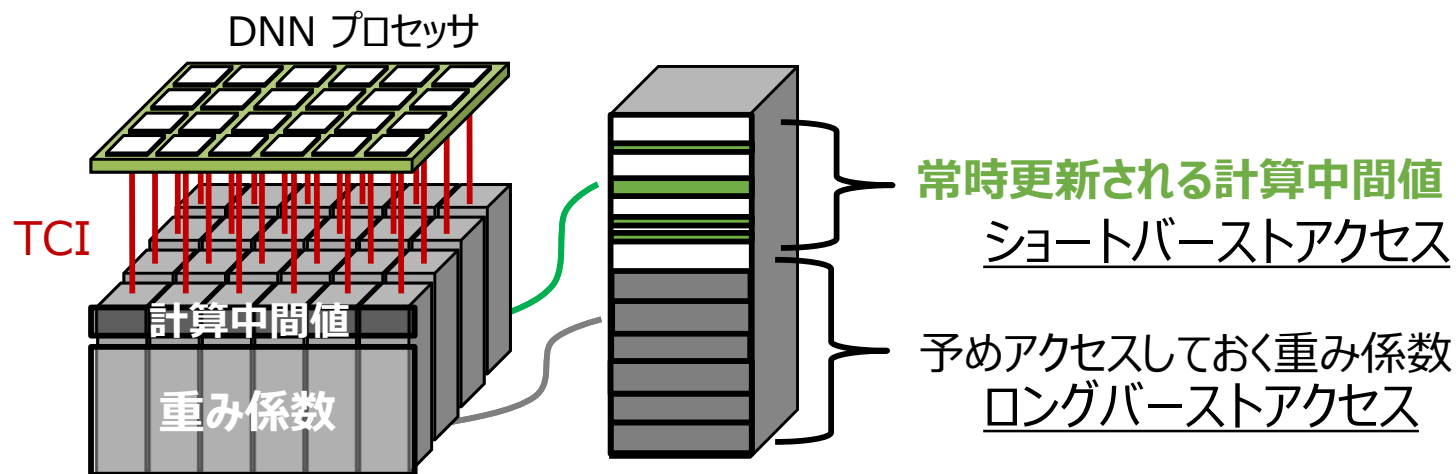
	TSV	TCI
	 <p>トランジスタ マイクロバンプ</p>	 <p>磁界 トランジスタ</p>
方式	機械式・パッケージ工程	電子式・ウェハ工程
製造工程	追加プロセス必要	標準CMOSプロセス
微細化	困難	容易
追加コスト	40%程度	数%程度
配置場所	専用領域(トランジスタから離す)	任意(制約なし)
転送速度	256GB/s以下	512GB/s以上
通信電力	高い ESD保護回路必要 チップ数に比例(全チップ駆動)	低い ESD保護回路不要 チップ数によらず一定(磁界駆動)

# TCI積層SRAM

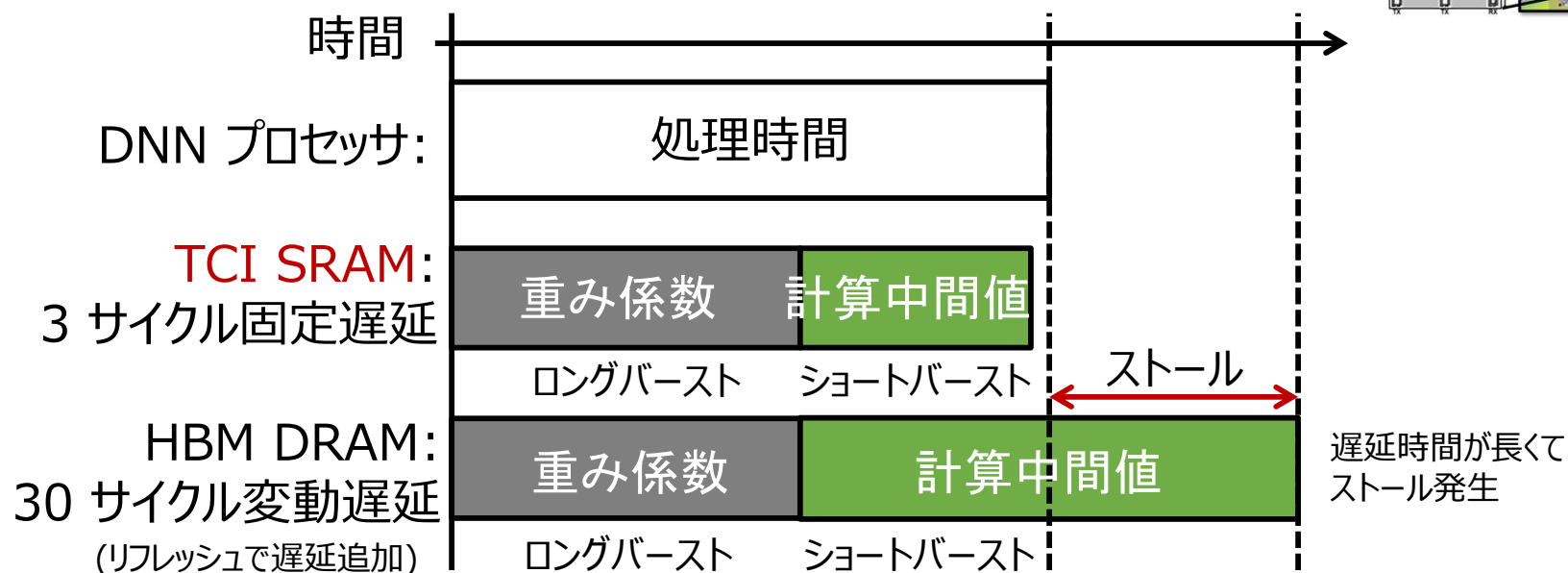
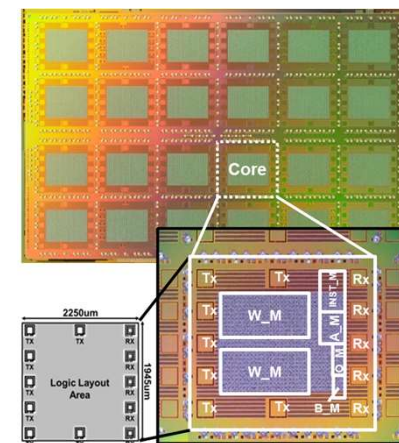
- DRAMの微細化は止まるがロジックプロセスのSRAMの微細化は続く
- TSV(機械式接続)より低コストなTCI(磁界結合接続)が実用化
- **TCI積層SRAM**は、DRAM並に大容量でSRAM並に高性能  
DRAMと違って並列に高速ランダムアクセスできるのでAI処理に向く



# TCI積層SRAM搭載AIアクセラレータ



ISSCC2018, 13.2





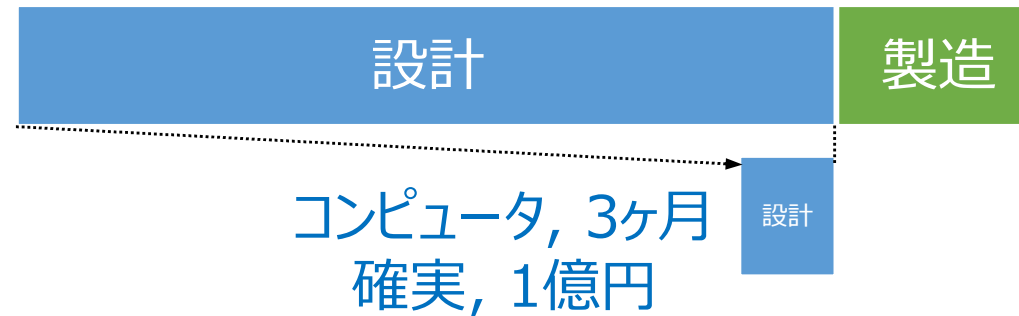
# 開発効率10倍：アジャイル設計

専用チップ

(注)SW開発を含まない

200人, 10ヶ月  
ミス, 40億円

ロボット, 4ヶ月  
確実, 10億円



解決：

## 1) 設計自動化を極める(アジャイル設計)

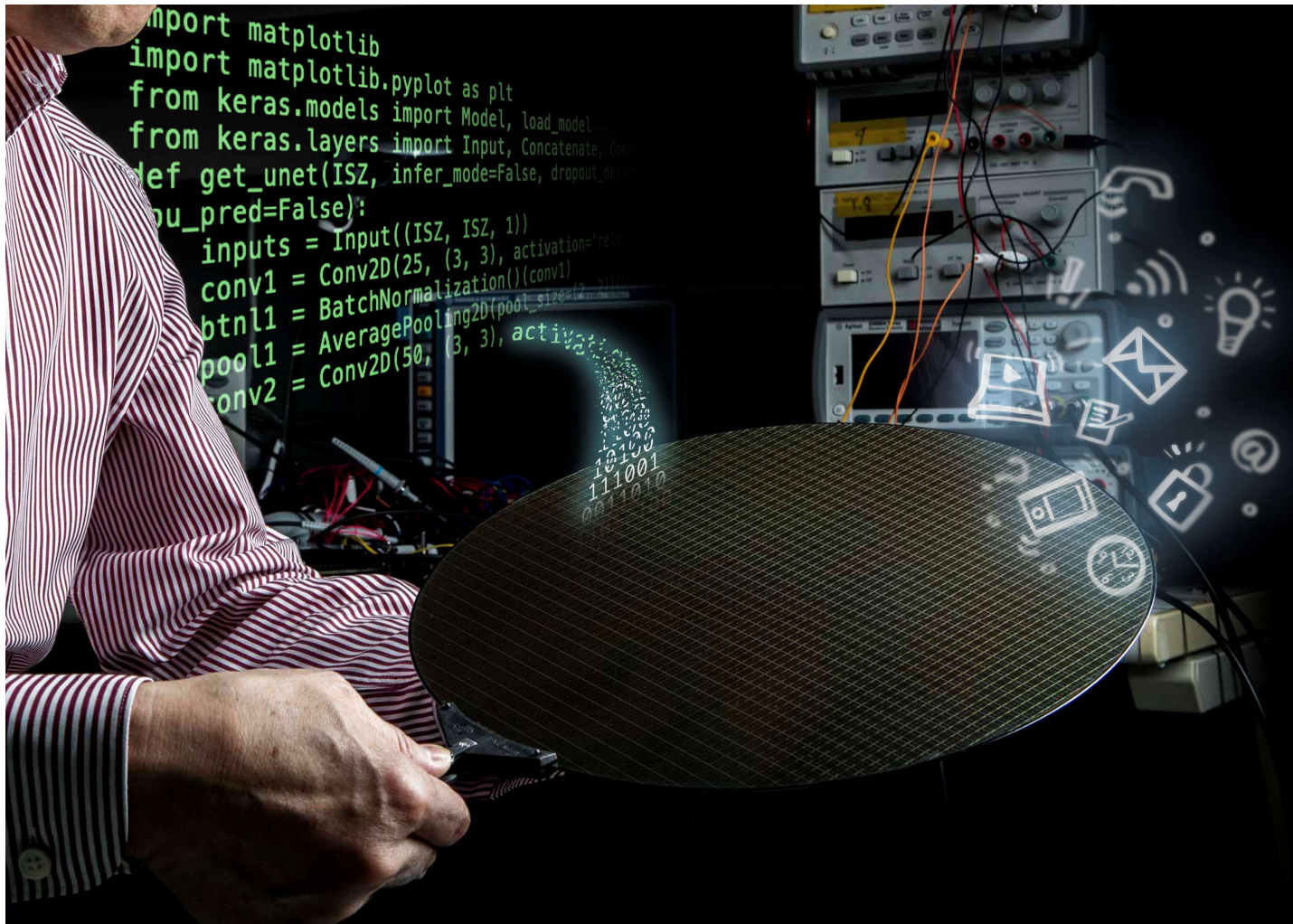
自動レイアウト(1980年代)、論理合成(1990年代)、機能合成(2000年代)  
**シリコンコンパイラ**(2020年代)でソフトウェアを書くようにハードウェアを設計する  
人手を入れない設計と検証でミスの入る余地をなくす

## 2) オープンアーキテクチャ

Linux(1990年代)、Android(2000年代)  
RISC-V(2020年代)でマス・コラボレーション

# シリコンコンパイラー

- 「ソフトウェアを本気で考える人たちは、自分でハードウェアを作ることになる」 アラン・ケイ



# タイムパフォーマンス

- コストパフォーマンス ( $\text{PPA; Performance} \cdot \text{Power}^{-1} \cdot \text{Area}^{-1}$ ) がこれまで重視されてきたが、今後は**タイムパフォーマンス**がそれ以上に重要になる
- タイムは**開発効率** ( $\text{開発期間}^{-1} \cdot \text{開発コスト}^{-1}$ )、パフォーマンスは**エネルギー効率** ( $\text{性能} \cdot \text{エネルギー}^{-1}$ )。つまり開発効率とエネルギー効率が重要になる
- タイムパフォーマンスが今後重要になる理由
  - 1) 専用チップは、汎用チップに比べてエネルギー効率が1桁高いが、開発効率が低く投資リスクが高い
  - 2) AIは日進月歩の進化をしているので、開発効率の改善は性能改善に直結する
  - 3) 半導体は産業のコメから社会の公共財(データ駆動型社会を実現するインフラ)へと進化した。インフラ市場は買い替え需要が低く、先に市場投入されたデバイスが長期間使われる
- タイムにはコストが入っている。つまり「時は金なり」
- **タイムパフォーマンスの改善はコストパフォーマンスの向上にもつながる**

# 5G基地局ハードウェアのタイムパフォーマンス

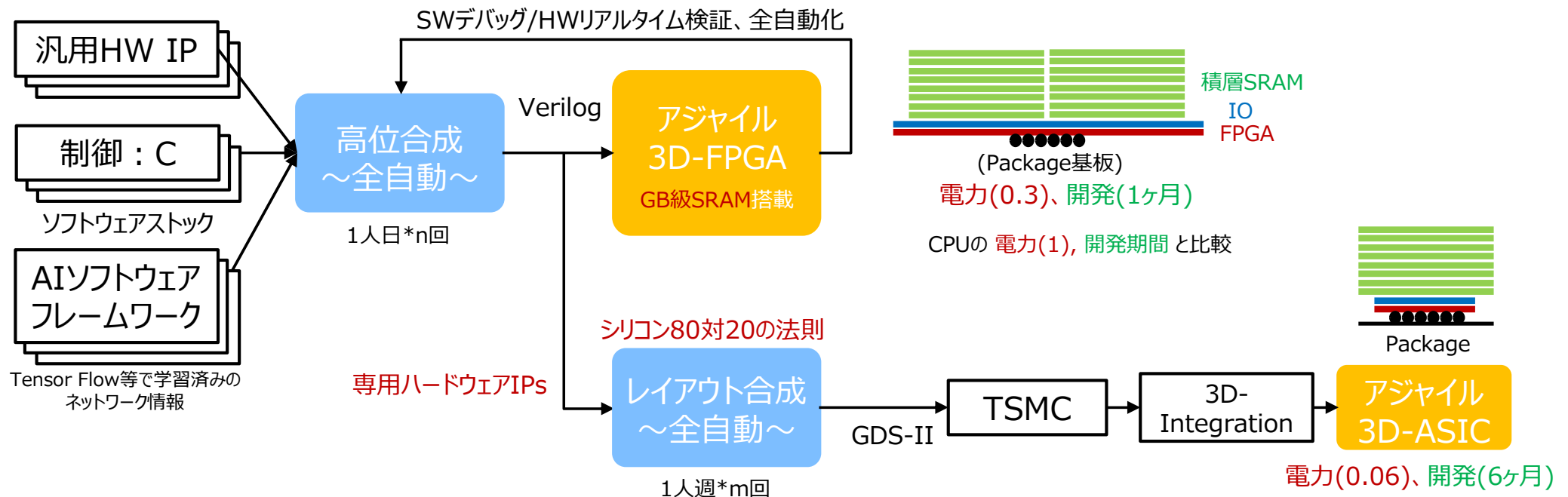
- 都会に配置できる5G小型基地局の制約条件は、5 W、5 L、5 kg
- 従来技術の課題：FPGAは電力超過、ASICは開発期間超過  
(FPGAの開発期間が日本では6か月だが中国では2カ月)
- 提案技術：アジャイル3D-FPGAとアジャイル3D-ASIC

	サーバー	FPGA	ASIC	アジャイル 3D-FPGA	アジャイル 3D-ASIC
開発期間	0	6ヶ月	14ヶ月	1ヶ月	6ヶ月
開発費用	0	10億円	45億円	2億円	15億円
製造費用 <sub>(10万台)</sub>	500億円	200億円	4億円	250億円	5億円
電力 (電力効率)	50 W (1)	30 W (1.7倍)	6 W (8.3倍)	15 W (3.3倍)	3 W (16.7倍)
容積	3 L	2 L	1 L	1 L	0.5 L
重さ	10 kg	1 kg	0.04 kg	0.5 kg	0.01 kg

(注) 現実には各技術の最適配合をするが表では技術毎に分解

# アジャイル設計プラットフォーム

- 3D-FPGAはGB級SRAMを搭載するので、既製ハードウェアIPと自社開発ソフトウェアIPを組合わせた高位合成が可能になり、ハードとソフトの検証 & デバッグをコンピュータで全自動化して、1ヶ月で専用ハードウェアIPを自動設計できる  
(DRAMの取り扱いには技術者の高いスキルが求められる)
- シリコン80対20の法則に基づいてチップの性能目標を緩く設定して、コンピュータで全自動設計して、2ヶ月でASICを設計できる



# アジャイルチップ設計

---

- 設計性能(面積と速度)の80%は設計リソース(人数と時間)の20%から生まれる  
【シリコン80対20の法則】
- クロック周波数を20%下げ、チップ面積を20%大きく目標設定すれば、20%の設計者と時間でASICのレイアウト設計を完了できる
- 犠牲にした性能とコストは、最先端CMOSと3D実装で取り戻して余りあるか？



# 性能

- 16nmから7nmに微細化すれば、チップは35%高速化、60%に低電力化できるので、電力制約下で性能を**2.3倍**( $=1.35/0.6$ )向上できる
- 3D実装すれば、データ移動の電力を桁違いに小さくできる。データ移動の電力が全電力の1/3の場合、全電力を2/3に低減できるので、電力制約下で性能を**1.5倍**( $=3/2$ )向上できる
- 【結論】先端CMOSと3D実装で**合計3.5倍**( $=2.3 \times 1.5$ )改善できるので、クロック周波数を**20%下げても2.8倍高性能**になる( $=3.5 \times 0.8$ )  
(つまり、先端CMOSと3D実装によるエネルギー効率改善の効果は大きい)
- しかし、7nmはマスク代が高く(10億円)、チップ面積も20%大きいならば、コスト高となり採算が合わないのではないか？

# コスト

- 16nmから7nmに微細化すると、マスク代は3億円から10億円に高くなり、ウェハの製造コストも1枚当たり100万円から200万円に高くなる
- しかし、集積度は4.5倍高くなるので、必要なウェハの枚数は1/4.5に減る  
(AppleのA9@16nmが20億トランジスタ/104mm<sup>2</sup>で、A11@7nmが85億トランジスタ/98mm<sup>2</sup>)
- 16nmで10mm角のチップを100万個製造する場合、12インチのウェハの製造枚数は、2,000枚(=100万個/500個)から450枚(=2,000枚/4.5)に減る
- アジャイル設計でチップ面積が20%大きくなると、ウェハ一枚数は1.2倍に増える
- 設計コストは、200万円/人・月とすると、16nmで50人・6ヶ月で6億円、7nmでは50人・11ヶ月で11億円、アジャイルだと10人・3ヶ月+コンピュータで1億円と仮定
- 【結論】 設計、マスク、ウェハのコストは  
16nm ASIC : 6億円 + 3億円 + 20億円(100万円 × 2,000枚) = 29億円  
7nm ASIC : 11億円 + 10億円 + 9億円(200万円 × 450枚) = 30億円  
アジャイル7nm ASIC : 1億円 + 10億円 + 11億円(200万円 × 540枚) = 22億円



# アジャイル3D-ASICの改善効果

- アジャイル3D-ASIC(7nm)は、ASIC(16nm)と比べて、開発リスク(期間と費用)を同程度まで低減し、タイムパフォーマンスを4倍、コストパフォーマンスを2~5倍改善する
- タイムパフォーマンスの改善はコストパフォーマンスの向上にもつながる

		ASIC (16nm)	ASIC (7nm)	アジャイル 3D-ASIC (7nm)
開発期間	設計 + 試作 + 評価	11ヶ月	16ヶ月	8ヶ月
開発費用	設計 + マスク	9億円	21億円	11億円
製造費用	10万チップ	2億円	0.1億円	1.1億円
	100万チップ	20億円	9億円	11億円
	1,000万チップ	200億円	90億円	110億円
性能	電力制約下	1 (正規化)	2.3倍	2.8倍
タイムパフォーマンス		1 (正規化)	1.6倍	3.9倍
コスト パフォーマンス	10万チップ	1 (正規化)	1.2倍	2.5倍
	100万チップ	1 (正規化)	2.2倍	3.7倍
	1,000万チップ	1 (正規化)	4.3倍	4.8倍

# DARPAプロジェクトとの共通点

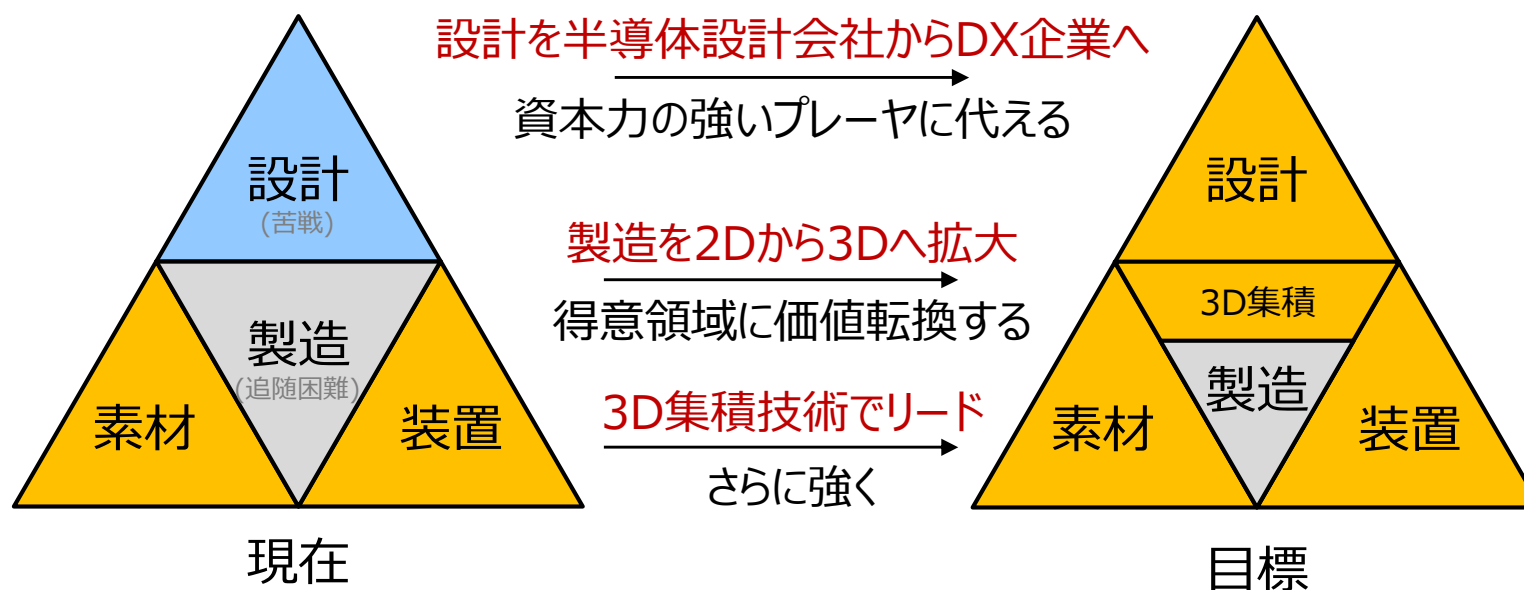
- エレクトロニクス復興イニシアチブ (ERI: Electronics Resurgence Initiative)
- 商業・軍事目的の電子機器の製造に対応するための、安全で機械化されたエレクトロニクス産業の基盤構築（国内の半導体産業における特殊回路の製造など）  
5年, 15億\$(1,725億円)
- 5つのプログラムには**RaaSとの共通点**多数(赤字)
  - 1) **3D SoC**プログラム：  
単一基板三次元マイクロシステムのための**素材、設計ツール、および製造技術**を開発
  - 2) 新規計算基盤(FRANC)プログラム：  
**フォンノイマンアーキテクチャ(論理機能と記憶機能の分離)を超越**する研究
  - 3) 電子資産のインテリジェントデザイン(IDEA)プログラム：  
**人の介在しない全自動デザインフレームワーク**の実現
  - 4) ポッシュオープンソースハードウェア(POSH)プログラム：  
SoCの費用対効果を高める**オープンソースの設計と検証のフレームワーク**の開発
  - 5) ソフトウェアに定義されるハードウェア(SDH)プログラム：  
**リコンフィギュラブルなハードウェアおよびソフトウェアの設計・製造支援技術基盤**の構築
  - 6) **ドメイン特化システム・オン・チップ(DDSoC)**プログラム：  
既存のIPを混在させたデザインをSoC上で簡単にプログラムできるフレームワークの構築

# 日本半導体のSWOT分析

日本半導体	<b>強み</b> ( <b>S</b> trength) <ul style="list-style-type: none"> <li>半導体ユーザー（自動車、ロボット、情報産機）</li> <li>装置・部材メーカ（塗布、洗浄、レジスト）</li> </ul>	<b>弱み</b> ( <b>W</b> eakness) <ul style="list-style-type: none"> <li>半導体産業衰退</li> <li>製造力、設計力、エコシステム、人材の喪失</li> </ul>
<b>機会</b> ( <b>O</b> ppportunity) <ul style="list-style-type: none"> <li>AIと5G+で半導体が高成長</li> <li>汎用チップから<b>専用チップ</b>へゲームチェンジ</li> <li>2Dから3Dへパラダイムシフト</li> </ul>	<b>機会 × 強み</b> 強みを機会に活かし大きく成長する <ul style="list-style-type: none"> <li>半導体ユーザーがソフトウェアを書くように<b>専用チップ</b>を開発しAIや5G+に活かす</li> <li>装置・部材メーカが3D集積を研究開発する</li> </ul>	<b>機会 × 弱み</b> 弱みを補強して機会を活かせるように対策する <ul style="list-style-type: none"> <li>設計力の補強、産業エコシステムの水まき、人財と技術の保全を行う</li> <li>国・産・学連携（コアジャパン）で3D集積用の装置・部材を開発する</li> </ul>
<b>脅威</b> ( <b>T</b> hreat) <ul style="list-style-type: none"> <li>米中対立が深刻化し世界経済が分断される</li> <li>専用半導体を持たずデジタル革新に出遅れる</li> </ul>	<b>脅威 × 強み</b> 強みを活かし脅威を避けたり機会として活かす <ul style="list-style-type: none"> <li>半導体ユーザーが専用チップを設計し、海外連携で製造拠点を確保する</li> <li>装置・部材メーカが3D集積技術で専用ハードウェアを創出し、デジタル革命で世界と競争できる</li> </ul>	<b>脅威 × 弱み</b> 弱みを理解し脅威を避けたり影響を最小限にする <ul style="list-style-type: none"> <li>国際学術連携を広げ、世界で孤立しないようにする</li> <li>人財の保全・育成を補い、半導体産業再生の道を閉ざさない</li> </ul>

# 半導体産業の構造改革

- 素材・製造装置：独自の3D集積技術をDX企業と創出し国際競争力強化
- 製造：3D集積ビジネスを創出して価値転換、海外資本を日本に誘致
- 設計：アジャイル設計プラットフォームの研究開発でDX企業が専用チップ設計



# 3D集積ビジネスの創出

## 2D (従来)

ウェーハ工程 (前工程)  
Foundry, IDM

IDM: Integrated Device Manufacturer

パッケージ工程 (後工程)  
OSAT

パッケージ

ロジック

メモリ

回路基板

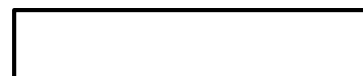
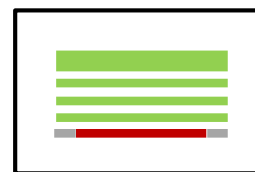
## 3D (将来)

ウェーハ工程 (前工程)  
Foundry, IDM

3D工程 (中工程)  
IDM

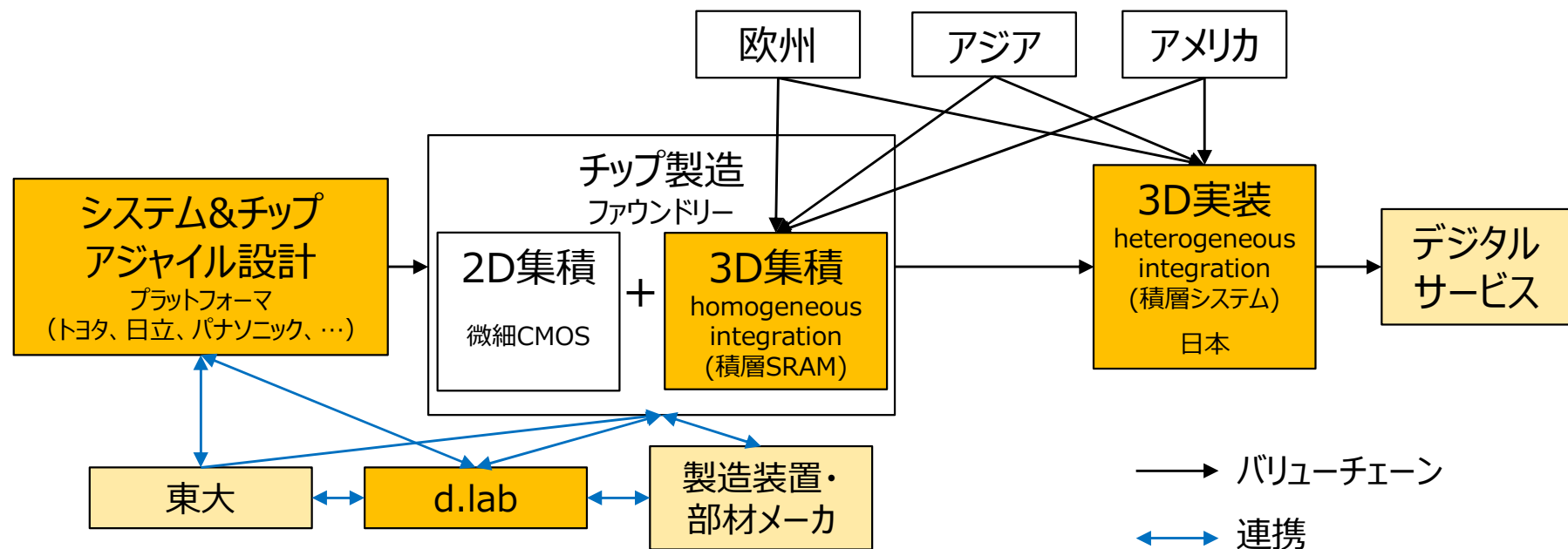
パッケージ工程 (後工程)  
OSAT

3D集積ビジネスの創出

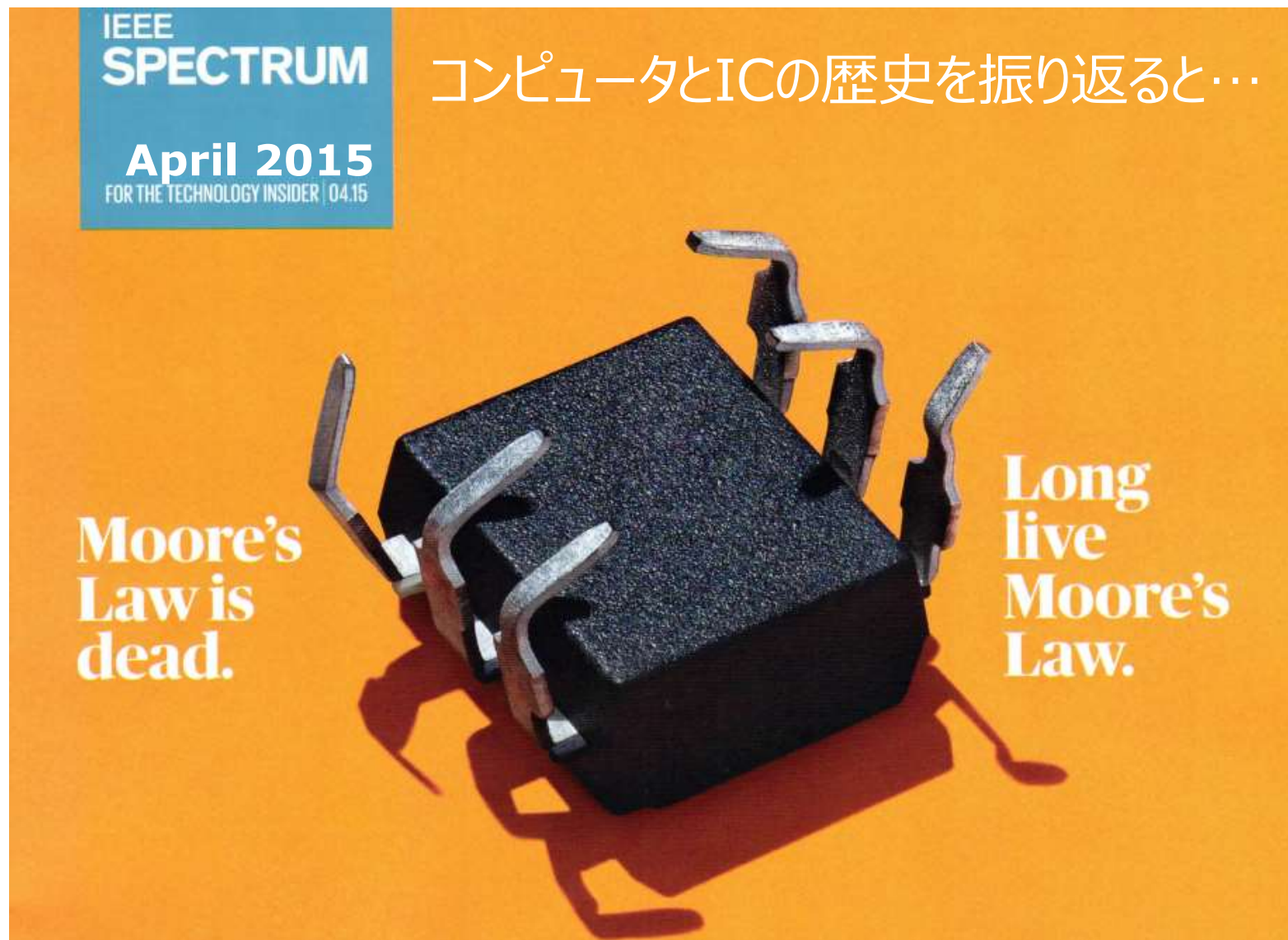


# 3D集積と3D実装がバリューチェーンの砦に

- 3D集積：積層SRAMのようなhomogeneous 3D(wafer on wafer)は、メガファウンドリ(TSMCなど)の3D集積工場(ウェハー工程後半)を国内誘致する
- 3D実装：積層SRAM+FPGA+CISのようなheterogeneous 3D(chip on wafer, chip on chip)は、日本に3D実装センターを作り、日本市場の入り口で世界のバリューチェーンに組み込む



# しかし、ムーアの法則は終わるのでは？





# 脳の歴史(1) 宇宙と生命の誕生

- 🕒 138億年前      ビッグバン     $E=mc^2$
- 🕒 46億年前      地球の誕生
- 🕒 40億年前      生命の誕生



# 脳の歴史(2) 脳の誕生

---

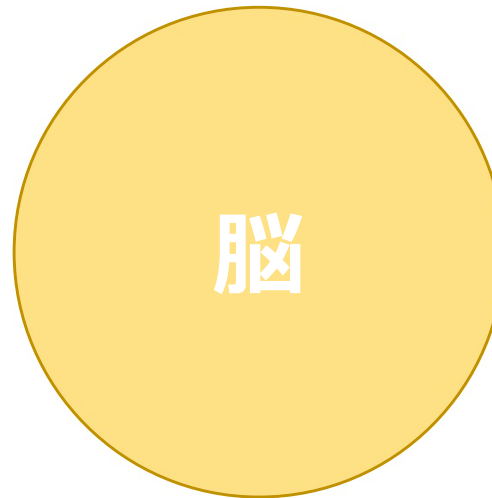
🕒 5億年前      脳の誕生



# 脳の歴史(3) 人類と心の誕生

---

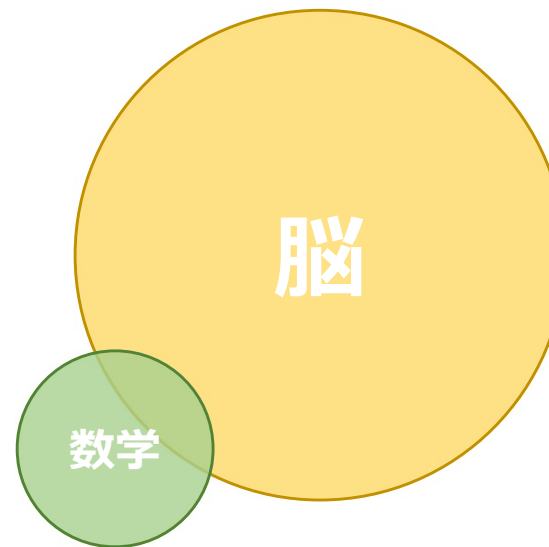
- 🕒 5億年前      脳の誕生
- 🕒 700万年前    人類の誕生  
                  社会の誕生  
                  心の誕生



# 脳の歴史(4) 数学の誕生

---

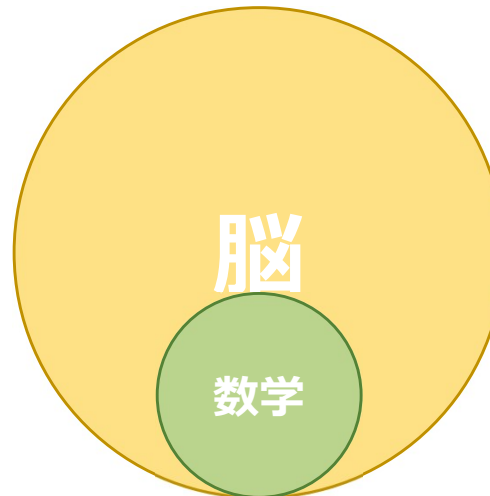
- 🕒 5億年前      脳の誕生
- 🕒 700万年前    人類の誕生
- 🕒 3,000年前    数学の誕生



# 脳の歴史(5) 数学の発達

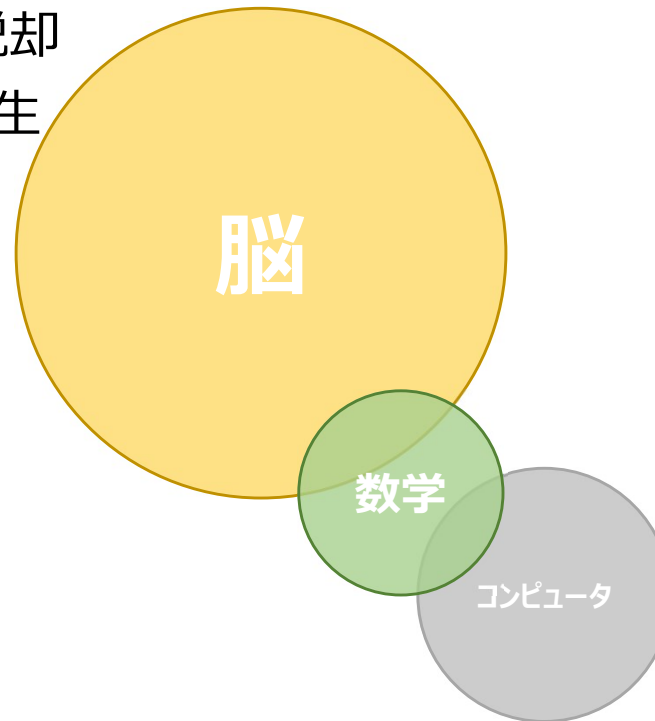
- 🕒 5億年前 脳の誕生
- 🕒 700万年前 人類の誕生
- 🕒 3,000年前 数学の誕生

道具から思考に発展  
記号代数の発明  
微積分の発明  
抽象的な記号の体系



# コンピュータの歴史(1) 誕生

- 🕒 5億年前 脳の誕生
- 🕒 700万年前 人類の誕生
- 🕒 3,000年前 数学の誕生
- 🕒 曖昧なものから完全に脱却
- 🕒 20世紀 コンピュータ誕生



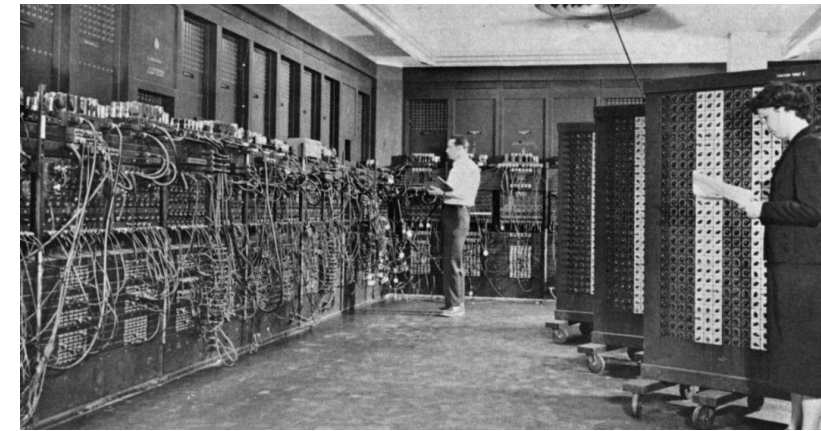
# コンピュータの歴史(2) 発明

- 🕒 5億年前 脳の誕生
- 🕒 700万年前 人類の誕生
- 🕒 3,000年前 数学の誕生
- 🕒 20世紀 コンピュータ誕生

1948年 トランジスタの発明

1949年 フォンノイマンアーキテクチャの発明

1958年 集積回路の発明



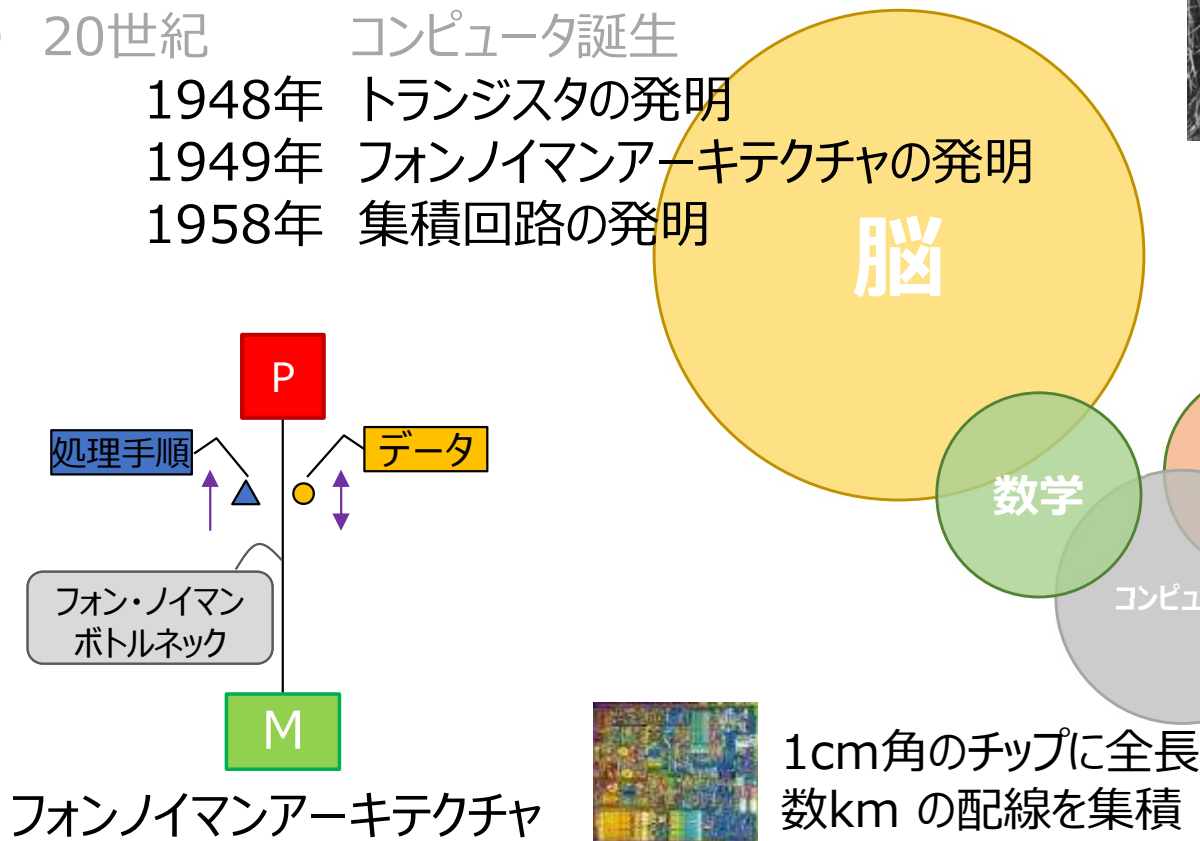
ENIAC (1946年)

27トン, 150kW, 真空管17,000本  
人手によるはんだ付け500万箇所

課題1 : デバイスの信頼性問題

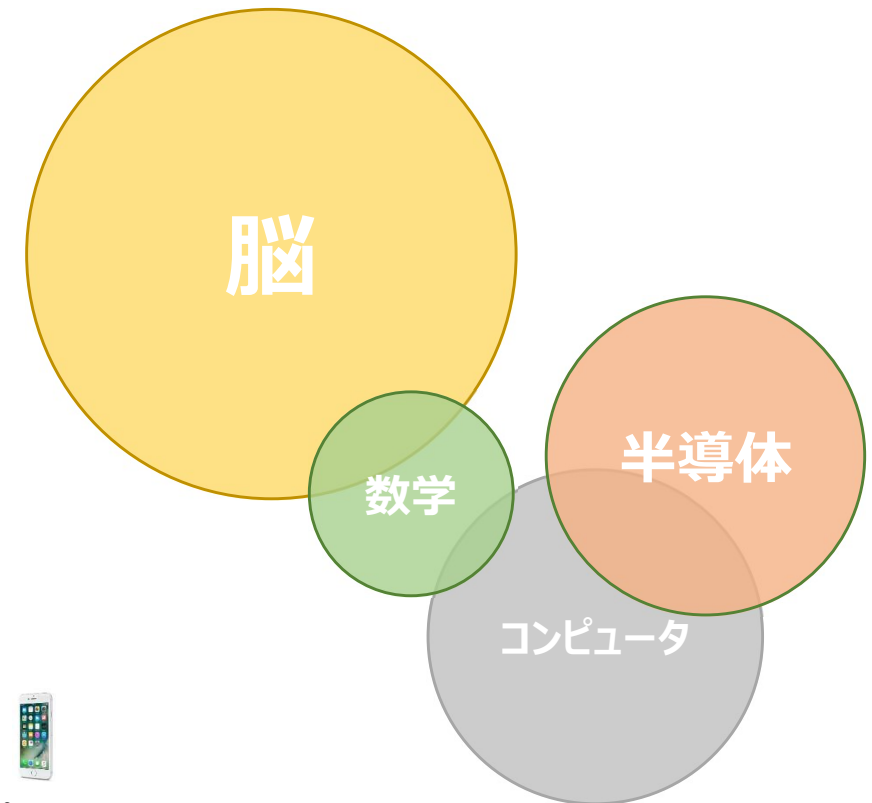
課題2 : 規模制約の問題

課題3 : 大規模システムの接続問題



# コンピュータの歴史(3) 成長

- 🕒 5億年前 脳の誕生
- 🕒 700万年前 人類の誕生
- 🕒 3,000年前 数学の誕生
- 🕒 20世紀 コンピュータ誕生
  - 1948年 トランジスタの発明
  - 1949年 フォンノイマンアーキテクチャの発明
  - 1958年 集積回路の発明
- 🕒 1980年～ ムーアの法則で成長



研究所  
1975年



設計室  
1985年



オフィス  
1995年

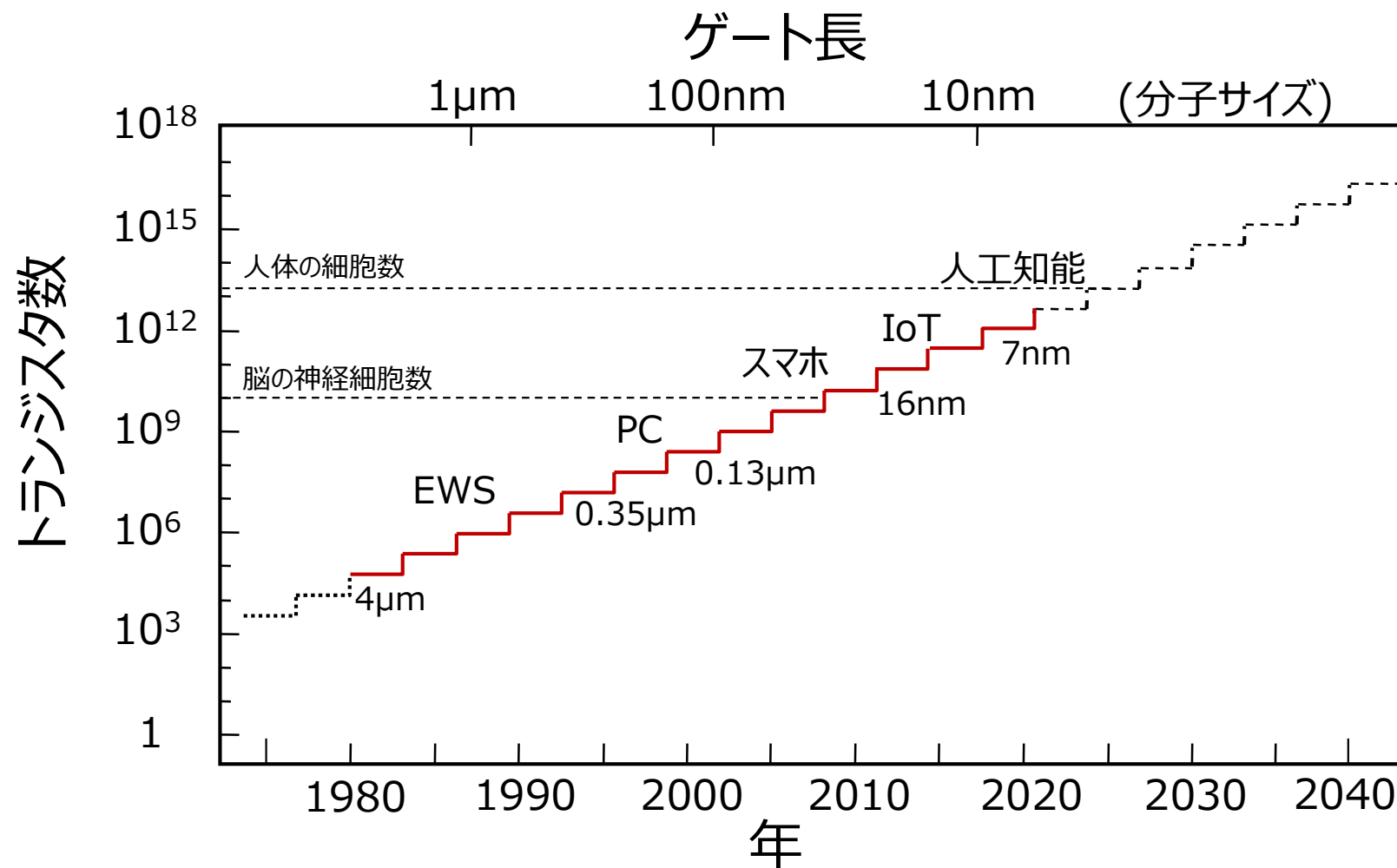


家  
2005年



ポケット  
2015年

# ムーアの法則

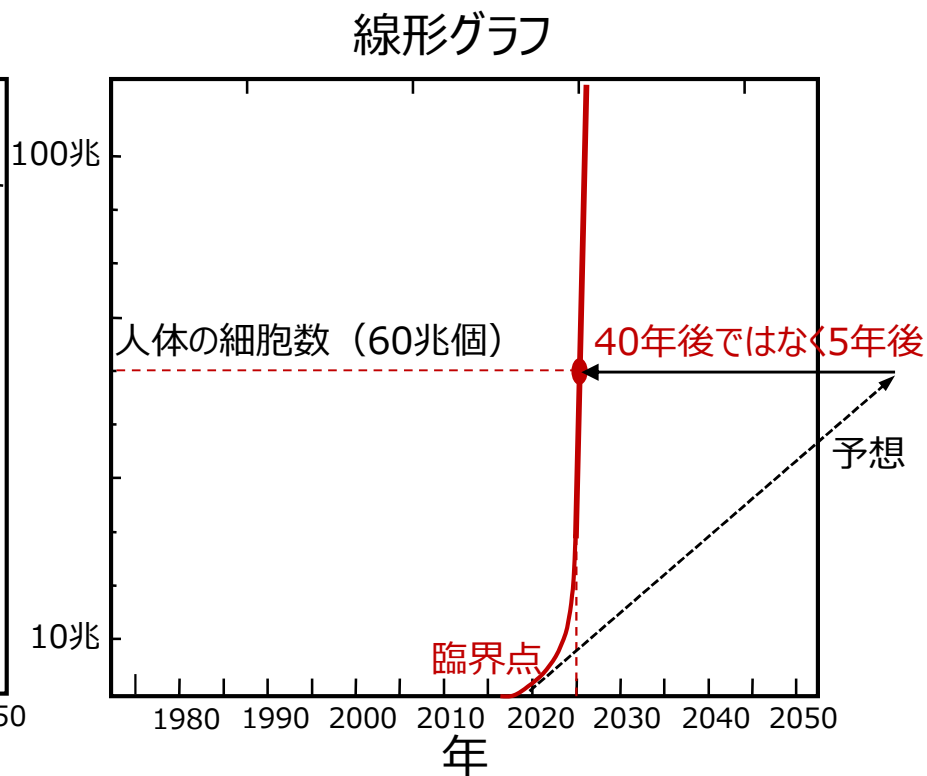
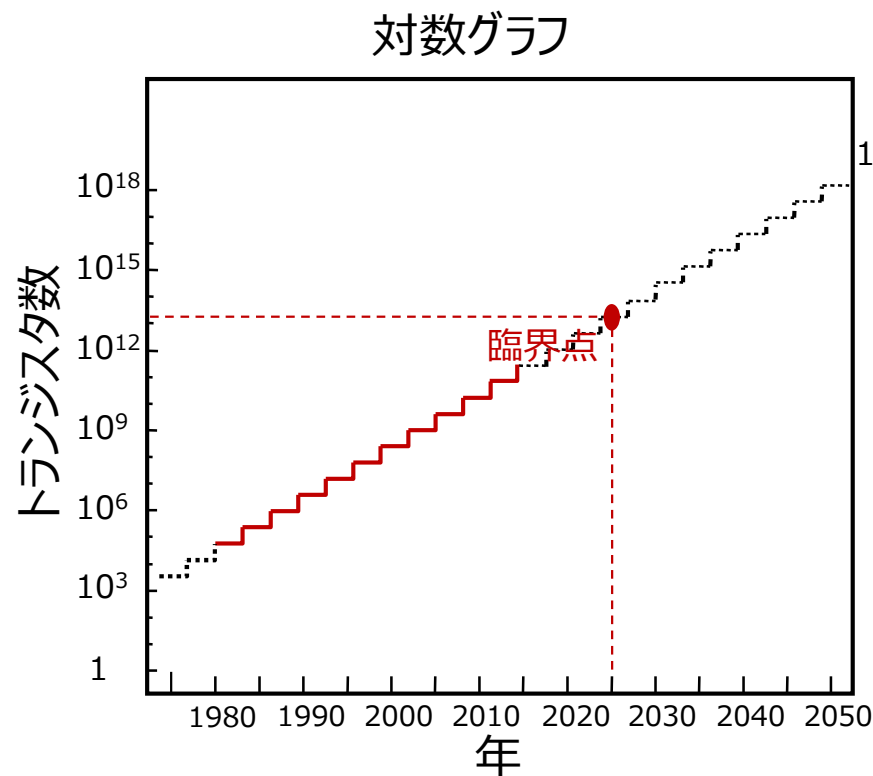


出典 : T. Kuroda, ISSCC 2010 Panel Discussion, "Semiconductor Industry in 2025".



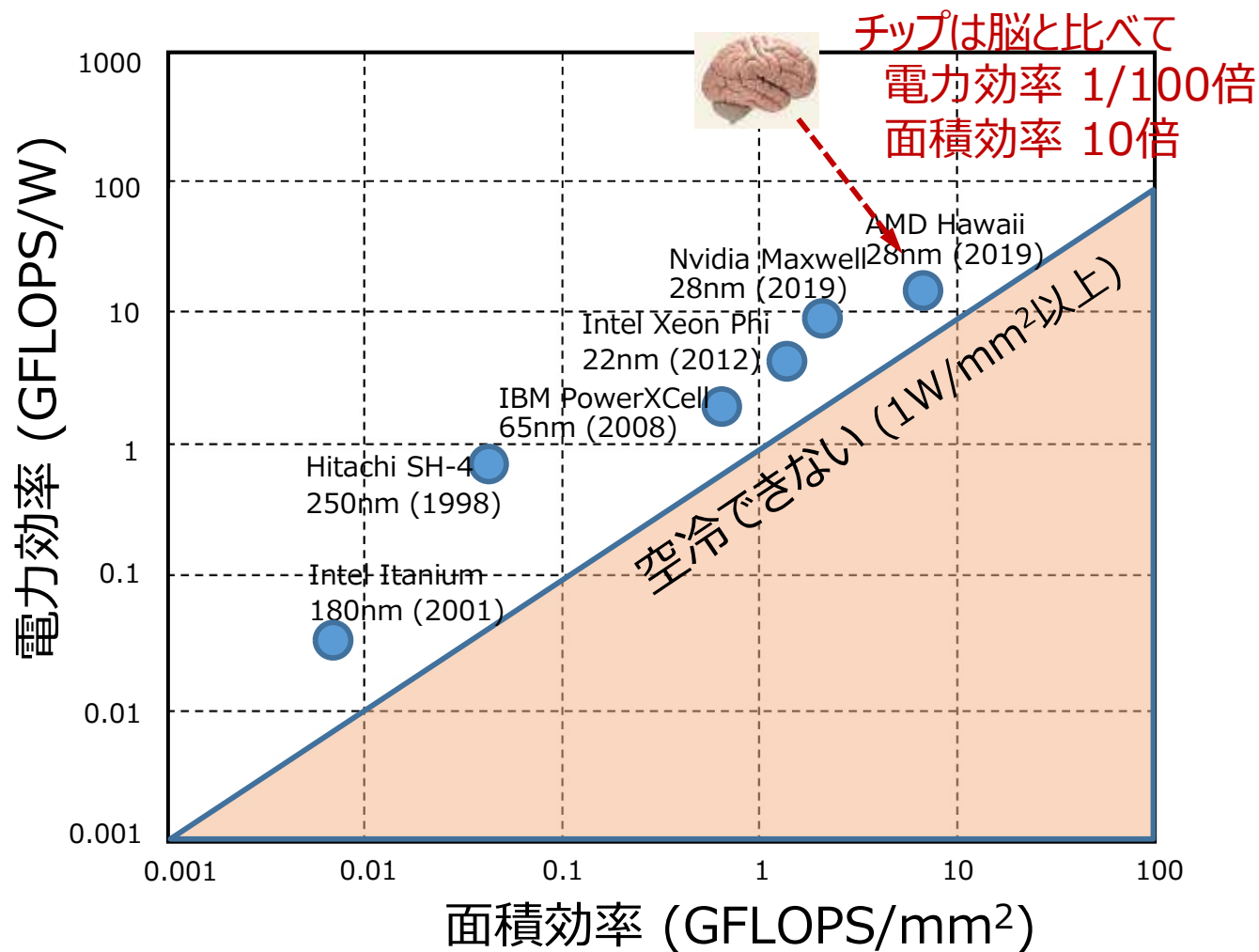
# 指数関数的成長

人は変化をリニアに直観するが(等速運動する動物の位置を予測)、テクノロジーは**指数関数的に成長**するので、予想よりも早く社会を変革する



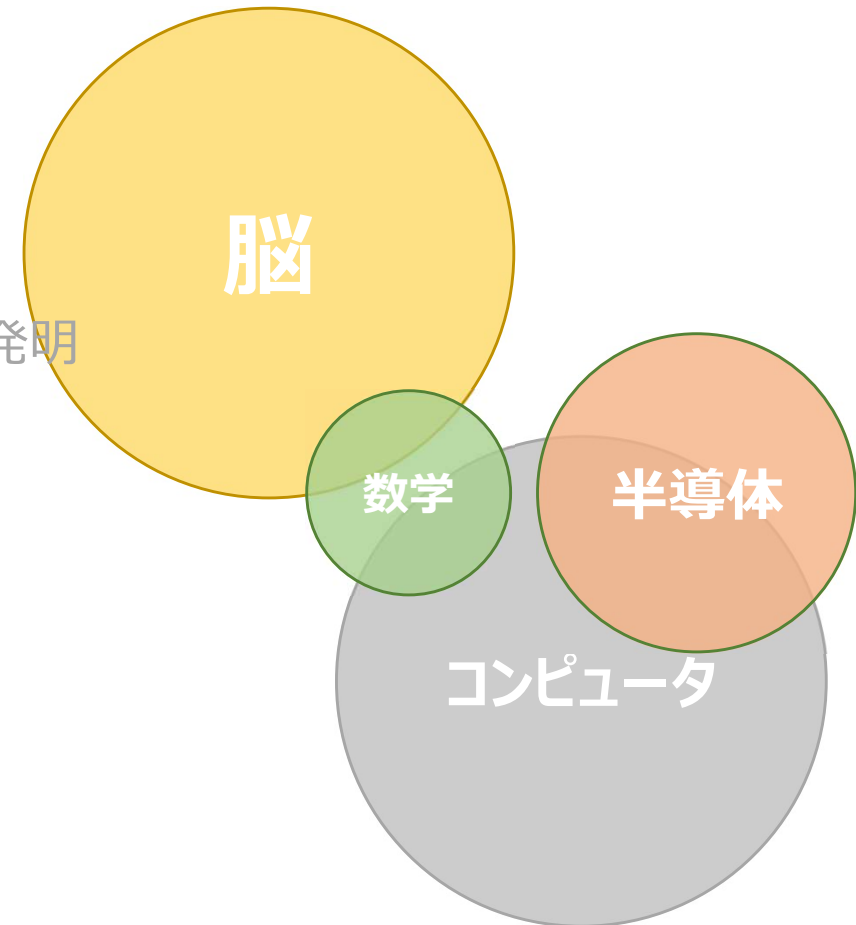
# チップと脳の効率比較

チップの電力効率を20年間で3桁改善、2030年過ぎには脳の電力効率に迫る



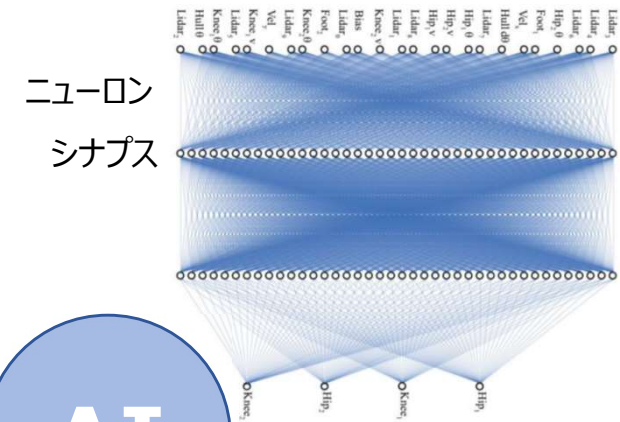
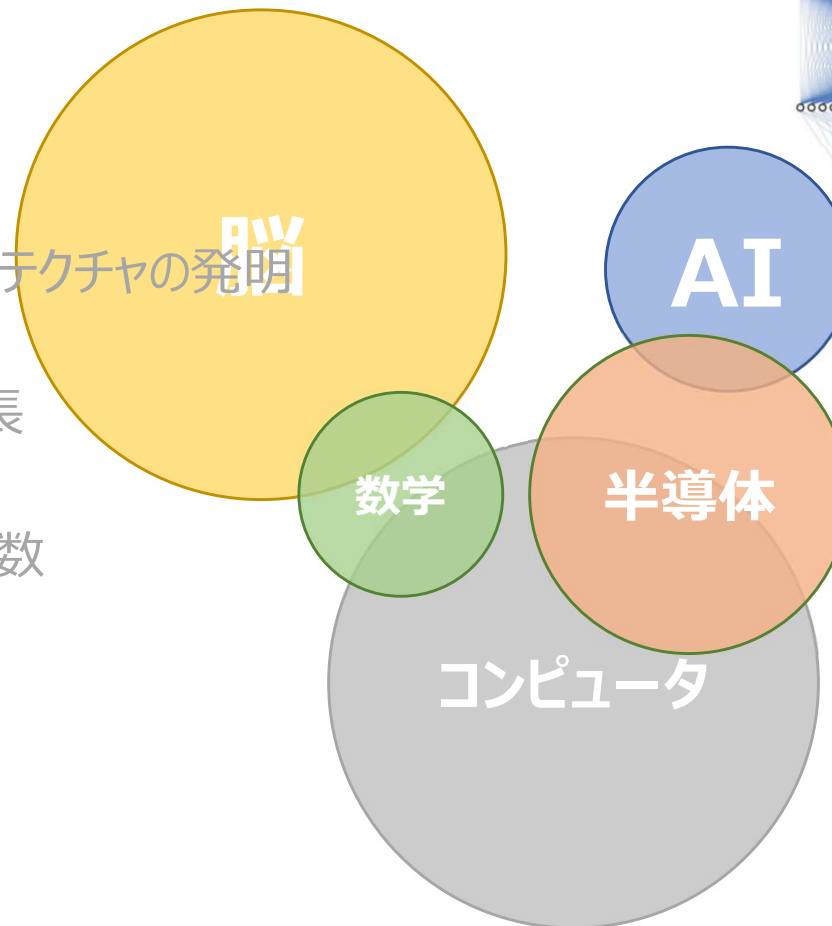
# コンピュータの歴史(4) 成長の限界

- 🕒 5億年前 脳の誕生
- 🕒 700万年前 人類の誕生
- 🕒 3,000年前 数学の誕生
- 🕒 20世紀 コンピュータ誕生
  - 1948年 トランジスタの発明
  - 1949年 フォンノイマンアーキテクチャの発明
  - 1958年 集積回路の発明
- 🕒 1980年～ ムーアの法則で成長
- 🕒 2010年
  - トランジスタ数 > 脳の神経細胞数
  - エネルギー限界 (ダークシリコン)



# AIの歴史(1) 誕生

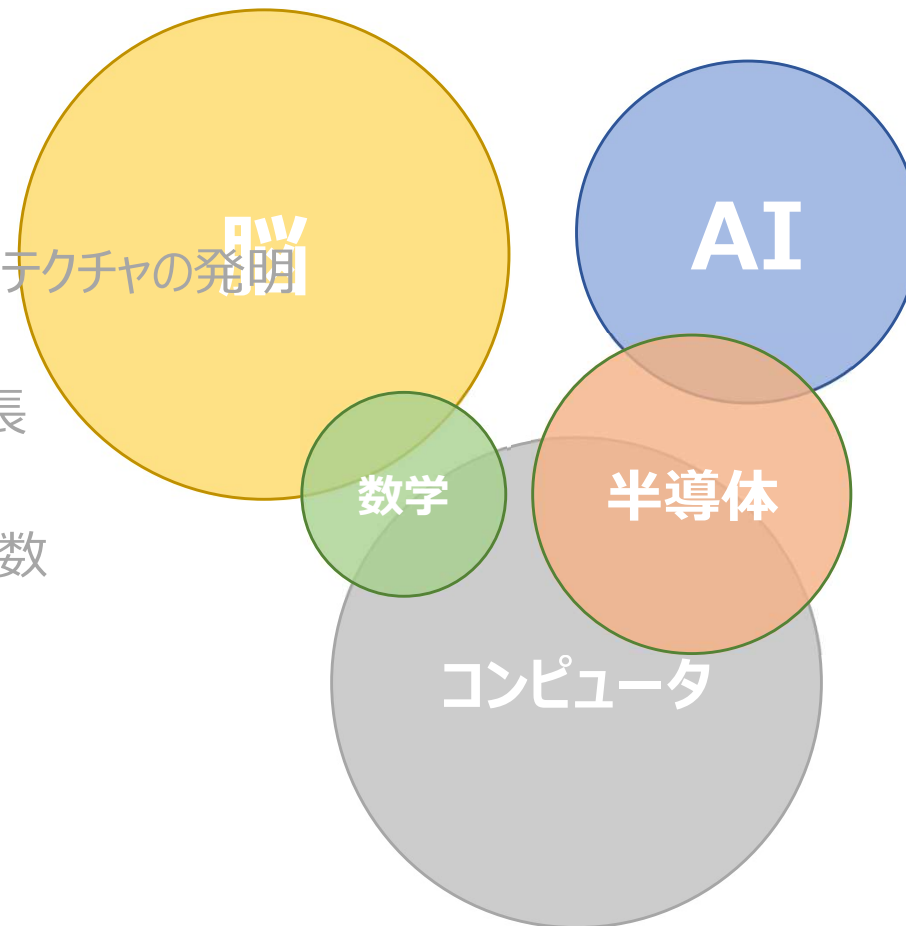
- 🕒 5億年前 脳の誕生
- 🕒 700万年前 人類の誕生
- 🕒 3,000年前 数学の誕生
- 🕒 20世紀 コンピュータ誕生
  - 1948年 トランジスタの発明
  - 1949年 フォンノイマンアーキテクチャの発明
  - 1958年 集積回路の発明
- 🕒 1980年～ ムーアの法則で成長
- 🕒 2010年
  - トランジスタ数 > 脳の神経細胞数
  - エネルギー限界
  - AI誕生



神経回路網  
配線接続が主役

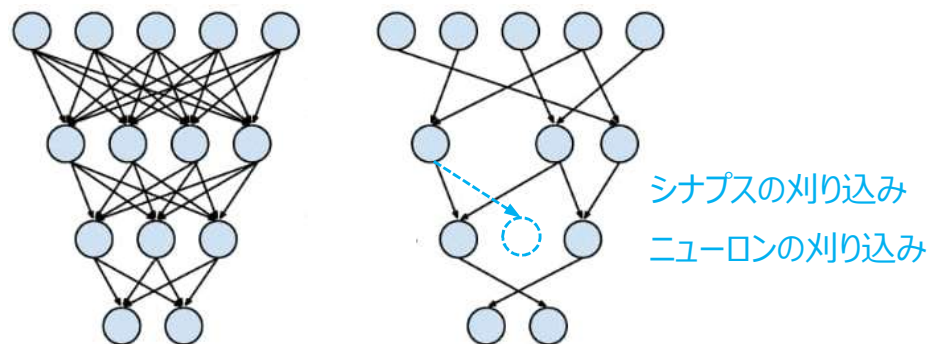
# AIの歴史(2) 成長

- 🕒 5億年前 脳の誕生
- 🕒 700万年前 人類の誕生
- 🕒 3,000年前 数学の誕生
- 🕒 20世紀 コンピュータ誕生
  - 1948年 トランジスタの発明
  - 1949年 フォンノイマンアーキテクチャの発明
  - 1958年 集積回路の発明
- 🕒 1980年～ ムーアの法則で成長
- 🕒 2010年
  - トランジスタ数 > 脳の神経細胞数
  - エネルギー限界
  - AI誕生
- 🕒 2020年 刈り込みで成長



# 刈り込み(pruning)

DNN

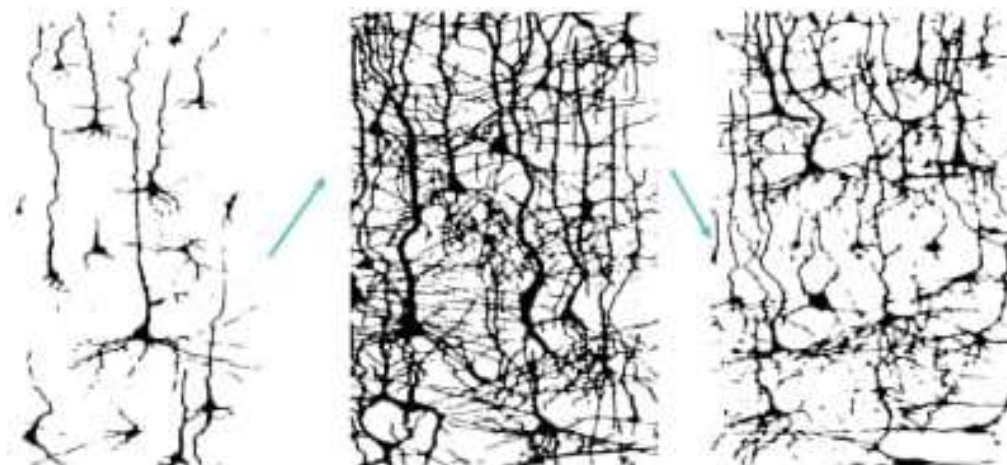


生後  
(50兆)

6歳  
(1,000兆)

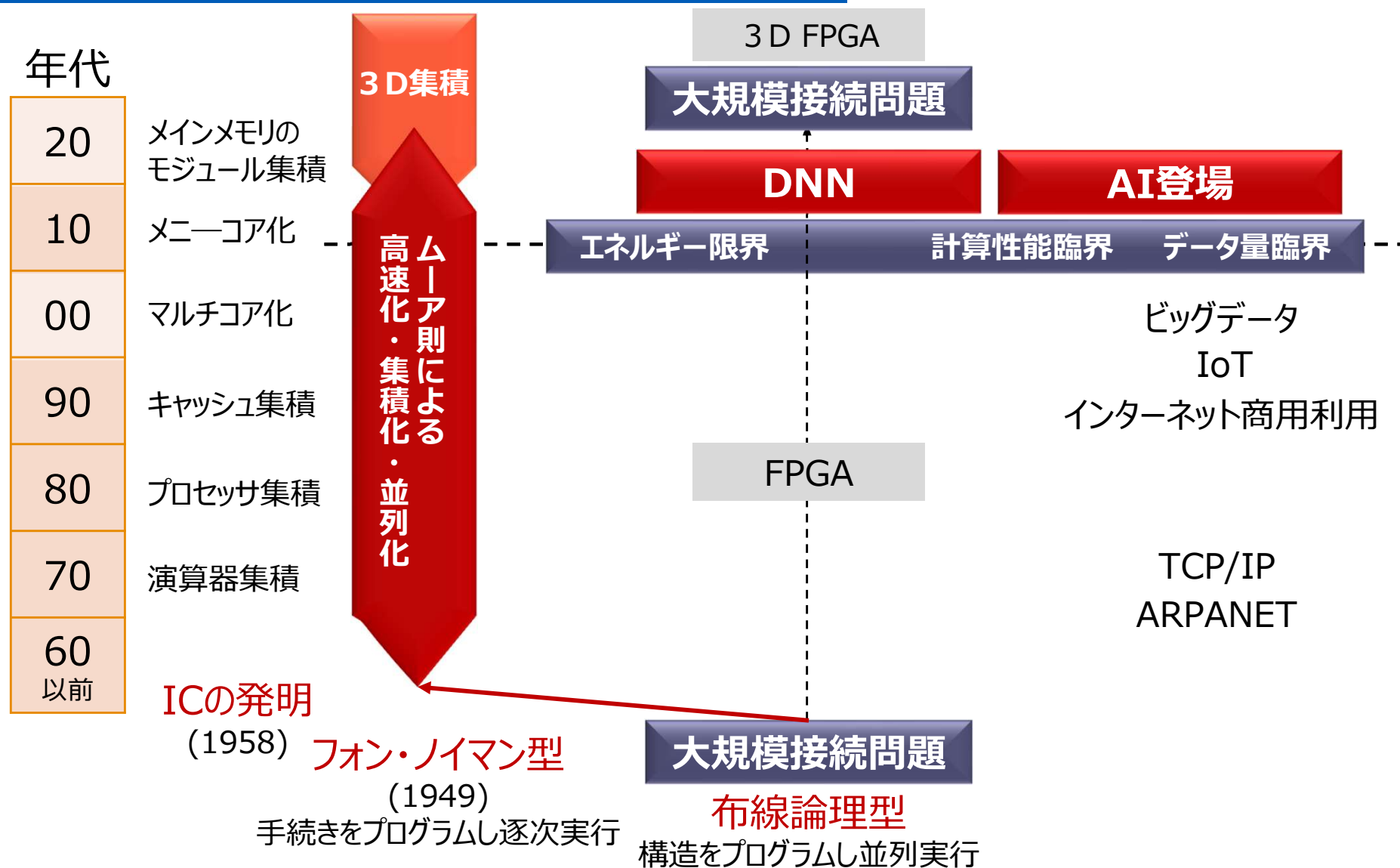
14歳  
(500兆)

人間の脳



Mickey Aleksic, Qualcomm, VLSI Symposium, 2017

# コンピュータの歴史：まとめ



# これまでの半世紀とこれからの半世紀

## ENIAC (1946年)

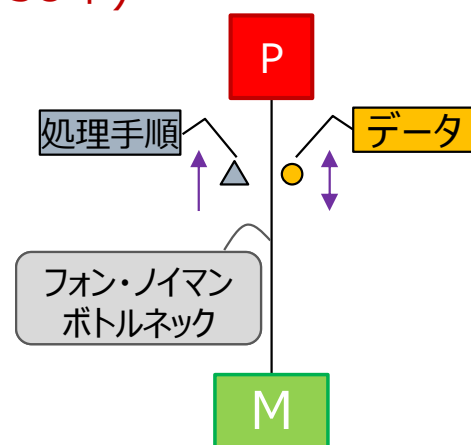
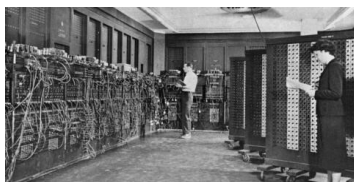
## 課題1：真空管の信頼性

## 課題2：布線論理の規模制約問題

## フォンノイマンアーキテクチャの発明(1949年)

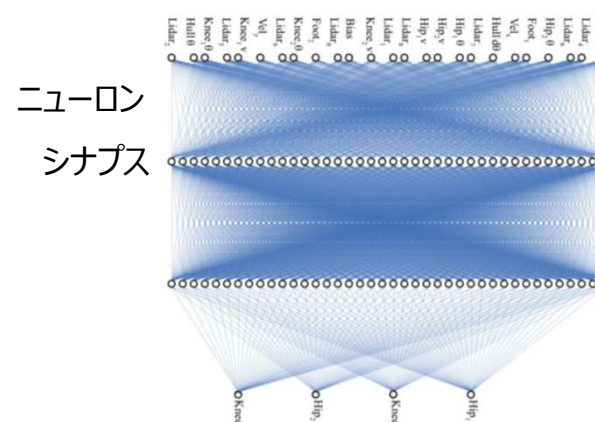
## 課題3：大規模システムの接続問題

## ICの発明 (1958年)



## フォンノイマンアーキテクチャ プロセッサとメモリが主役

## 1970年代～2010年代の半世紀



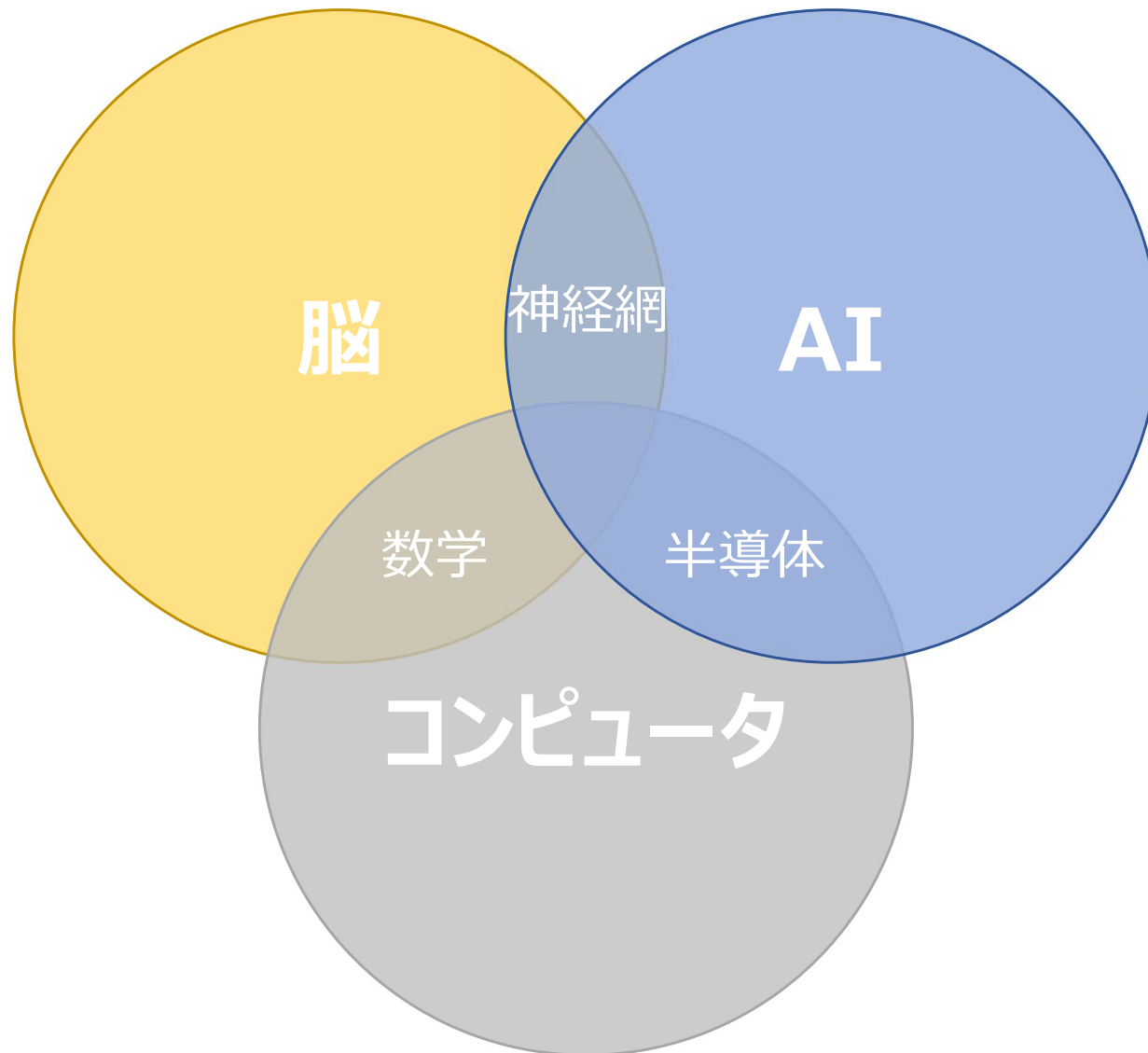
## 神経回路網 配線接続が主役

## 2020年代からの半世紀



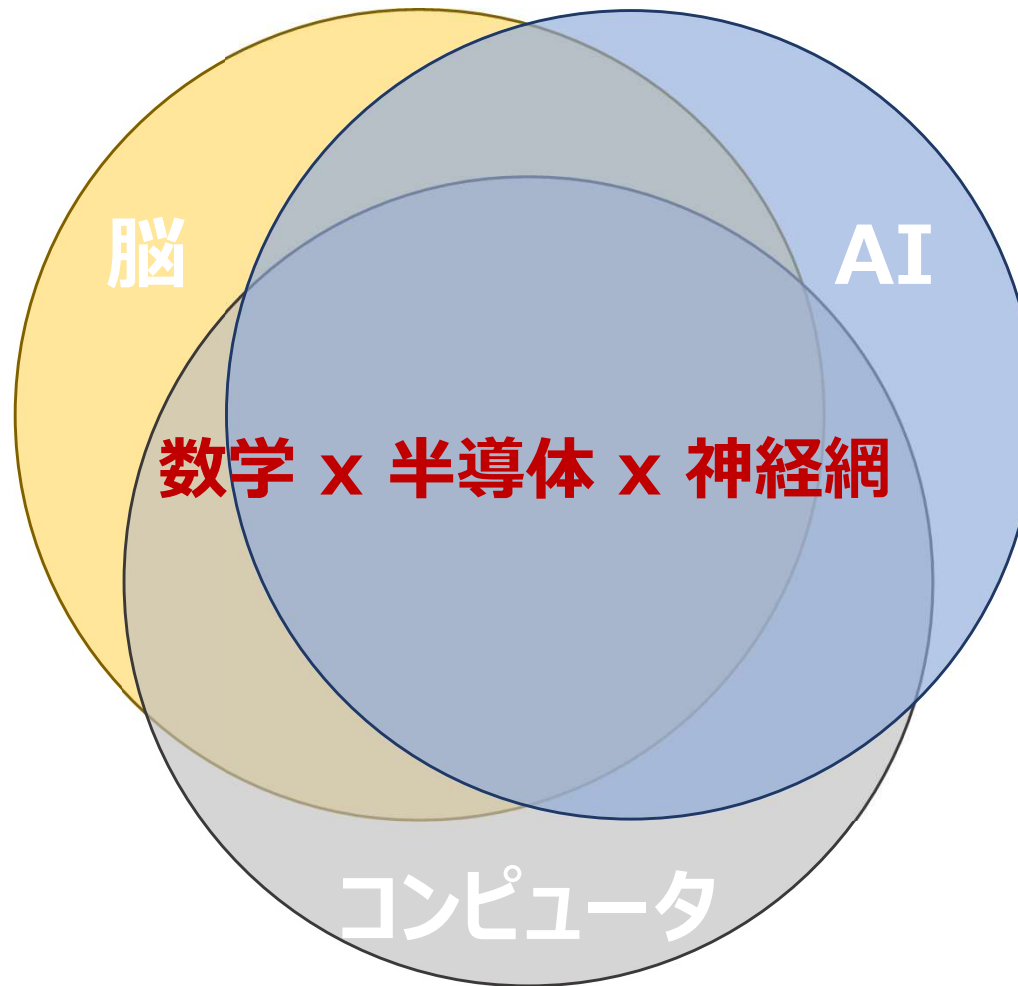
# 脳とコンピュータとAI

---

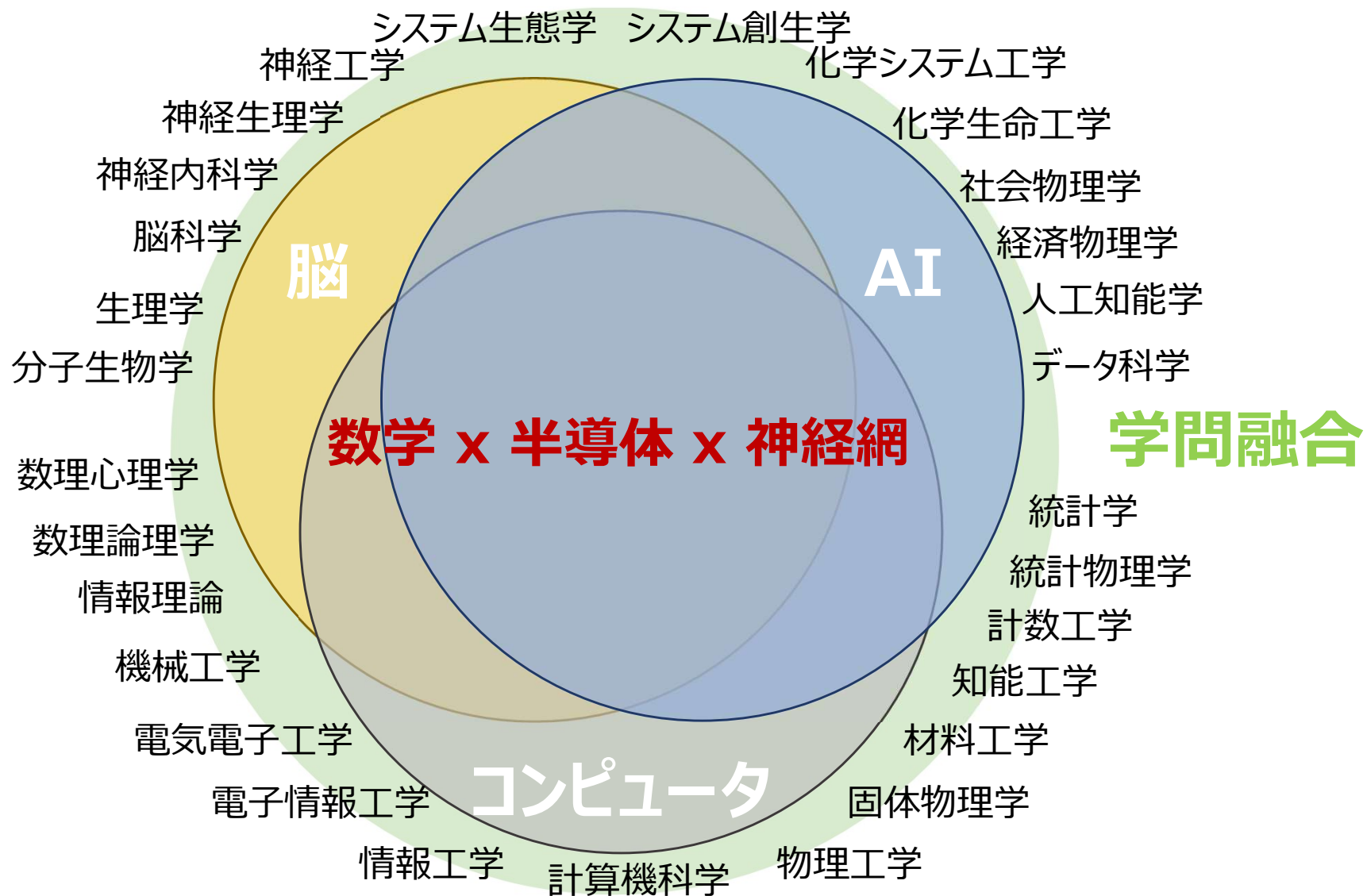


# 数学 x 半導体 x 神経網

---

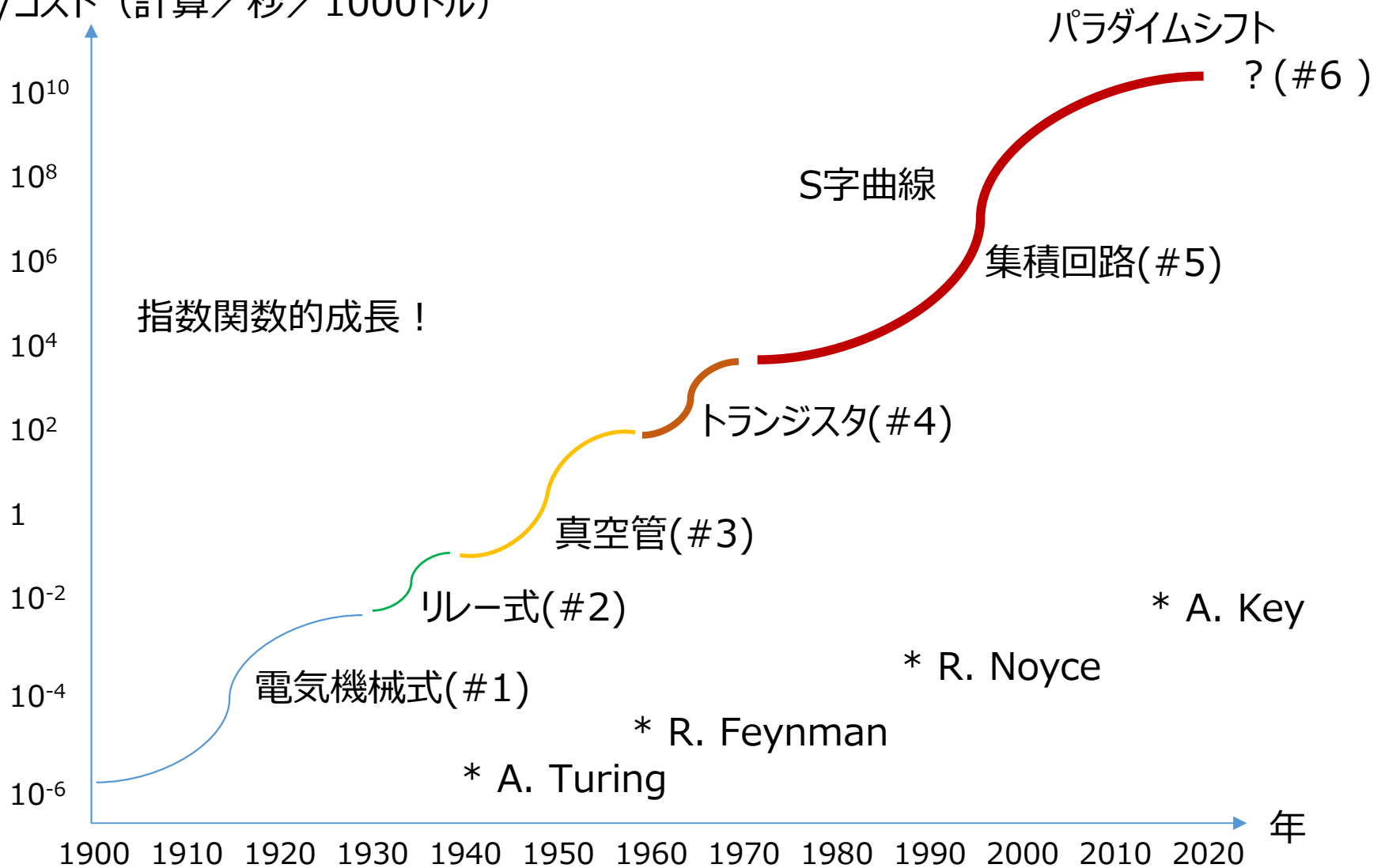


# 総合学問



# コンピュータのパラダイムシフト

性能/コスト (計算/秒/1000ドル)



\* A. Key

\* R. Noyce

\* R. Feynman

\* A. Turing

# イノベーションを起こす

---



Robert Noyce  
(1927 - 1990)

"Optimism is an essential ingredient for innovation. How else can the individual welcome change over security, adventure over staying in safe place?"

「イノベーションを起こすためには楽天的でなければならない。危険を恐れず変化を求め、安住の地を出て冒険の旅に出なければならないのだから。」

# イノベーションを起こす

---



Alan Turing  
(1912 - 1954)

"Sometimes it is the people no one can imagine anything of who do the things no one can imagine."

「誰も予想しなかった人物が誰も想像しなかった偉業を成し遂げる事だである」

『イミテーション・ゲーム/エニグマと天才数学者の秘密』(2014)